



1A 低ドロップアウト・レギュレータ (逆方向電流保護機能を装備)

特長

- 高い安定性：1.0 μ F以上のセラミック出力キャパシタ使用時
- 入力電圧範囲: 2.2V ~ 5.5V
- 超低ドロップアウト電圧：130mV、1A
- 優れた負荷応答 (1 μ F出力キャパシタだけでも実現可能)
- Nch-MOSFETトポロジによる逆方向リーケージ電流の低減化
- 初期電圧精度：1.0%
- 全入力電圧範囲、全負荷電流範囲、全温度範囲のすべての条件で電圧精度3%
- シャットダウン・モード時の自己小電流はtyp.で20nA以下
- サーマル・シャットダウンや過電流制限による異常状態からの保護
- 複数の固定出力電圧製品から選択可能
 - 可変出力電圧製品の電圧範囲: 1.20 V ~ 5.5 V
 - 固定出力電圧製品の電圧設定を工場出荷時にカスタマイズが可能

- スイッチング電源後段のポストレギュレーション
- ポータブル/バッテリー駆動機器

概要

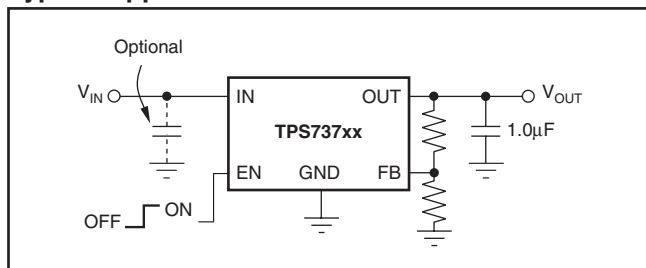
TPS737xxファミリーは、Voltage-Follower構成の低ドロップアウト (LDO) 電圧リニアレギュレータで、トランジスタにはNch-MOSFETが使用されています。このトポロジは、出力キャパシタ値とESRによる影響を受けにくいので、あらゆる負荷に対応可能です。負荷応答に優れており、1.0 μ Fのセラミック出力キャパシタを使用したときでも問題なく動作します。Nch-MOSFETトポロジではより低いドロップアウト電圧を実現できます。

PS737xxファミリーは、高精度を実現するために高度なBi-CMOS プロセスを使用しており、非常に低いドロップアウト電圧と低いグランド・ピン電流を実現しています。デバイスがイネーブルでない場合、自己消費電流は20nAよりも小さくなり、ポータブル・アプリケーションにとって理想的です。また、負荷が異常状態となっても、サーマル・シャットダウンとフォールドバック型電流制限によって保護されます。

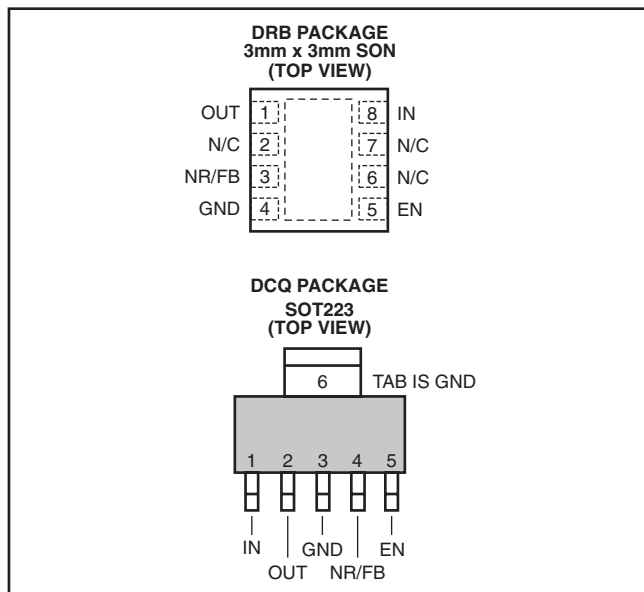
アプリケーション

- DSP、FPGA、ASIC、マイクロプロセッサ用ポイント・オブ・ロード (POL) レギュレーション

Typical Application Circuit



すべての商標および登録商標は、それぞれの所有者に帰属します。



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

PRODUCT	V _{OUT} ⁽²⁾
TPS737xx yy yz	XX is nominal output voltage (for example, 25 = 2.5V, 01 = Adjustable ⁽³⁾). YYY is package designator. Z is package quantity.

- (1) 最新のパッケージ情報と発注情報については、TIのWebサイト (www.ti.com) を参照してください。
 (2) 固定出力電圧製品は、最新のプロセス技術を用いることで1.25V及び1.3Vから5.0Vまでの出力電圧を100mV刻みでプログラミングにより設定可能で短期間での納入が可能となっています。固定出力電圧製品にはミニマムロットが適用されますので、詳細および供給時期については、弊社まで問い合わせください。
 (3) 固定電圧1.2Vで動作させる場合は、FBをOUTに接続します。

絶対最大定格

(特に記述のない限り、動作温度範囲全体)⁽¹⁾

パラメータ	TPS737xx	単位
V _{IN} range	-0.3 ~ +6.0	V
V _{EN} range	-0.3 ~ +6.0	V
V _{OUT} range	-0.3 ~ +5.5	V
V _{NR} , V _{FB} range	-0.3 ~ +6.0	V
Peak output current	Internally limited	
Output short-circuit duration	Indefinite	
Continuous total power dissipation	許容損失の定格表を参照	
Junction temperature range, T _J	-55 ~ +150	°C
Storage temperature range	-65 ~ +150	°C
ESD rating, HBM	2	kV
ESD rating, CDM	500	V

- (1) 「絶対最大定格」に記載されている定格を超えるようなストレスがデバイスに加わると、復旧不能な損傷が発生することがあります。ここに記載されている定格は、ストレスの定格のみであり、この定格、または「電気的特性」に記載されている仕様を超える条件でのデバイスの機能動作とは関係がありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

許容損失の定格⁽¹⁾

BOARD	PACKAGE	R _{θJC}	R _{θJA}	DERATING FACTOR	T _A ≤ +25°C	T _A = +70°C	T _A = +85°C
				ABOVE T _A = +25°C	POWER RATING	POWER RATING	POWER RATING
Low-K ⁽²⁾	DCQ	15°C/W	53°C/W	18.9mW/°C	1.89W	1.04W	0.76W
High-K ⁽³⁾	DCQ	15°C/W	45°C/W	22.2mW/°C	2.22W	1.22W	0.89W
High-K ⁽³⁾ (4)	DRB	1.2°C/W	40°C/W	25.0mW/°C	2.50W	1.38W	1.0W

- (1) 熱設計に関する詳細情報については、アプリケーション セクションのPower Dissipationを参照してください。
 (2) このデータを得るために使用したJEDEC Low-K (1s) 基板のデザインは、部品面に2オンスの銅箔パターンを持った3インチ×3インチの片面基板です。
 (3) このデータを得るために使用したJEDEC High-K (2s2p) 基板のデザインは、3インチ×3インチの多層基板で、内部に1オンスの電源とグランドのプレーンを持ち、基板の上面および底面に2オンスの銅配線を形成しています。
 (4) 熱シミュレーションから算出された値です。

電気的特性

特に記述がない限り、動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{IN} = V_{OUT(nom)} + 1.0\text{V}$ ⁽¹⁾、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。typ.値は $T_J = +25^{\circ}\text{C}$ です。

	パラメータ	テスト条件	TPS737xx			単位
			MIN	TYP	MAX	
V_{IN}	Input voltage range ⁽¹⁾ , ⁽²⁾		2.2		5.5	V
V_{FB}	Internal reference (TPS73701-DCQ)	$T_J = +25^{\circ}\text{C}$	1.198	1.2	1.210	V
	Internal reference (TPS73701-DRB)	$T_J = +25^{\circ}\text{C}$	1.192	1.2	1.216	
V_{OUT}	Output voltage range (TPS73701) ⁽³⁾		V_{FB}		$5.5 - V_{DO}$	V
	Accuracy ⁽¹⁾ , ⁽⁴⁾	Nominal	$T_J = +25^{\circ}\text{C}$	-1.0	+1.0	%
			$5.36\text{V} < V_{IN} < 5.5\text{V}$, $V_{OUT} = 5.08\text{V}$, $10\text{mA} < I_{OUT} < 800\text{mA}$, $-40^{\circ}\text{C} < T_J < +85^{\circ}\text{C}$, TPS73701DCQ	-2.0	+2.0	
	over V_{IN} , I_{OUT} , and T	$V_{OUT} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$; $10\text{mA} \leq I_{OUT} \leq 1\text{A}$	-3.0	± 0.5	+3.0	
$\Delta V_{OUT}\%/\Delta V_{IN}$	Line regulation ⁽¹⁾	$V_{OUT(nom)} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ ⁽¹⁾		0.01		%/V
$\Delta V_{OUT}\%/\Delta I_{OUT}$	Load regulation	$1\text{mA} \leq I_{OUT} \leq 1\text{A}$		0.002		%/mA
		$10\text{mA} \leq I_{OUT} \leq 1\text{A}$		0.0005		
V_{DO}	Dropout voltage ⁽⁵⁾ ($V_{IN} = V_{OUT(nom)} - 0.1\text{V}$)	$I_{OUT} = 1\text{A}$		130	500	mV
$Z_O(\text{DO})$	Output impedance in dropout	$2.2\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25		Ω
I_{CL}	Output current limit	$V_{OUT} = 0.9 \times V_{OUT(nom)}$	1.05	1.6	2.2	A
I_{SC}	Short-circuit current	$V_{OUT} = 0\text{V}$		450		mA
I_{REV}	Reverse leakage current ⁽⁶⁾ ($-I_{IN}$)	$V_{EN} \leq 0.5\text{V}$, $0\text{V} \leq V_{IN} \leq V_{OUT}$		0.1		μA
I_{GND}	GND pin current	$I_{OUT} = 10\text{mA}$ (I_Q)		400		μA
		$I_{OUT} = 1\text{A}$		1300		
I_{SHDN}	Shutdown current (I_{GND})	$V_{EN} \leq 0.5\text{V}$, $V_{OUT} \leq V_{IN} \leq 5.5$		20		nA
I_{FB}	FB pin current (TPS73701)			0.1	0.6	μA
PSRR	Power-supply rejection ratio (ripple rejection)	$f = 100\text{Hz}$, $I_{OUT} = 1\text{A}$		58		dB
		$f = 10\text{kHz}$, $I_{OUT} = 1\text{A}$		37		
V_N	Output noise voltage $\text{BW} = 10\text{Hz} - 100\text{kHz}$	$C_{OUT} = 10\mu\text{F}$		$27 \times V_{OUT}$		μV_{RMS}
t_{STR}	Startup time	$V_{OUT} = 3\text{V}$, $R_L = 30\Omega$, $C_{OUT} = 1\mu\text{F}$		600		μs
$V_{EN(\text{HI})}$	EN pin high (enabled)		1.7		V_{IN}	V
$V_{EN(\text{LO})}$	EN pin low (shutdown)		0		0.5	V
$I_{EN(\text{HI})}$	EN pin current (enabled)	$V_{EN} = 5.5\text{V}$		20		nA
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+160		$^{\circ}\text{C}$
		Reset, temperature decreasing		+140		
T_J	Operating junction temperature		-40		+125	$^{\circ}\text{C}$

(1) 最小 V_{IN} は、 $V_{OUT} + V_{DO}$ または 2.2V のいずれか大きい方です。

(2) $V_{OUT(nom)}$ が 1.6V 未満の場合 V_{IN} が 1.6V 以下になると出力電圧が V_{IN} に固定されてしまい、出力側が過電圧状態になる可能性があります。この状態になるのを避けるために、デバイスをディスエーブルしてから V_{IN} の電源を遮断します。

(3) TPS73701は $V_{OUT} = 1.2\text{V}$ の設定でテストされます。

(4) 外部抵抗の公差は、この仕様には含まれません。

(5) $V_{OUT(nom)} < 2.3\text{V}$ になっている状態の固定出力については、 V_{DO} は測定されません。これは最小 $V_{IN} = 2.2\text{V}$ だからです。

(6) 詳細については、アプリケーション セクションを参照してください。

機能ブロック図

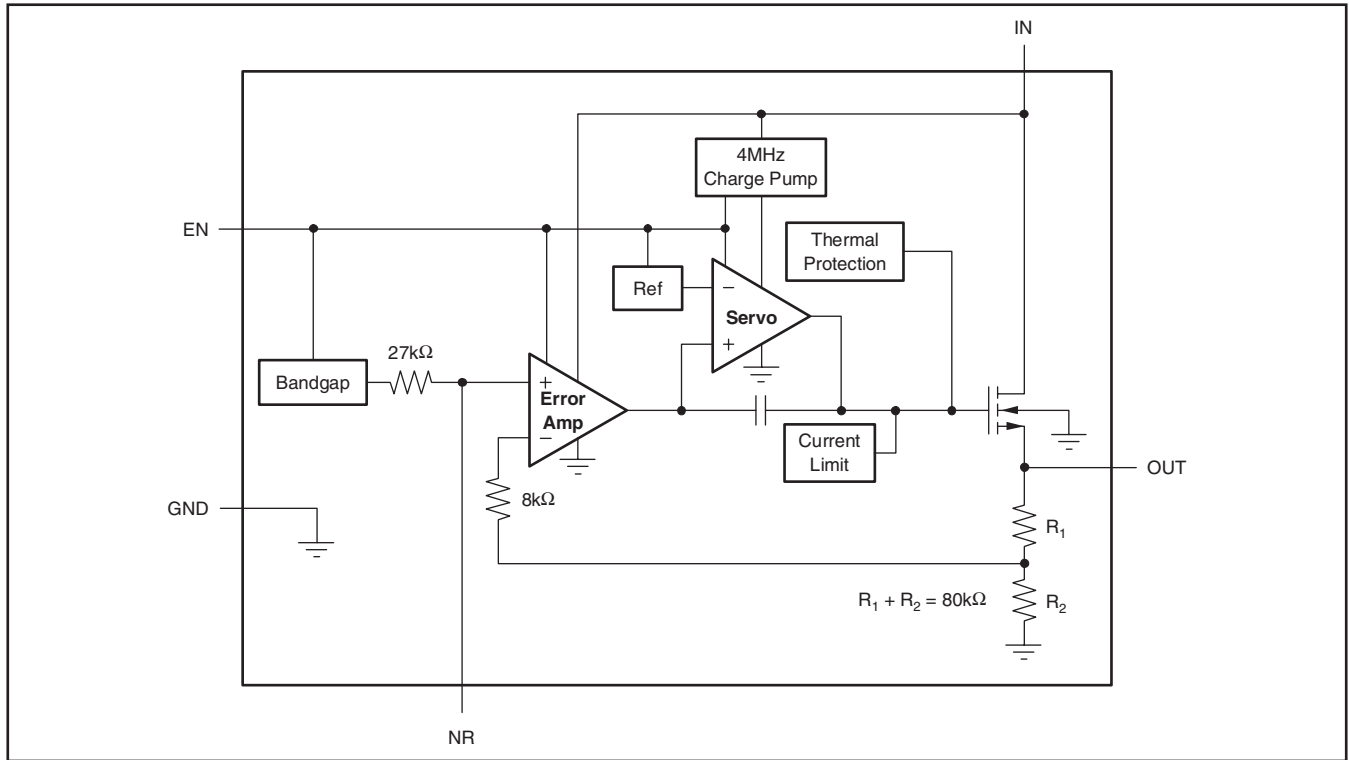


図 1. 固定出力電圧製品

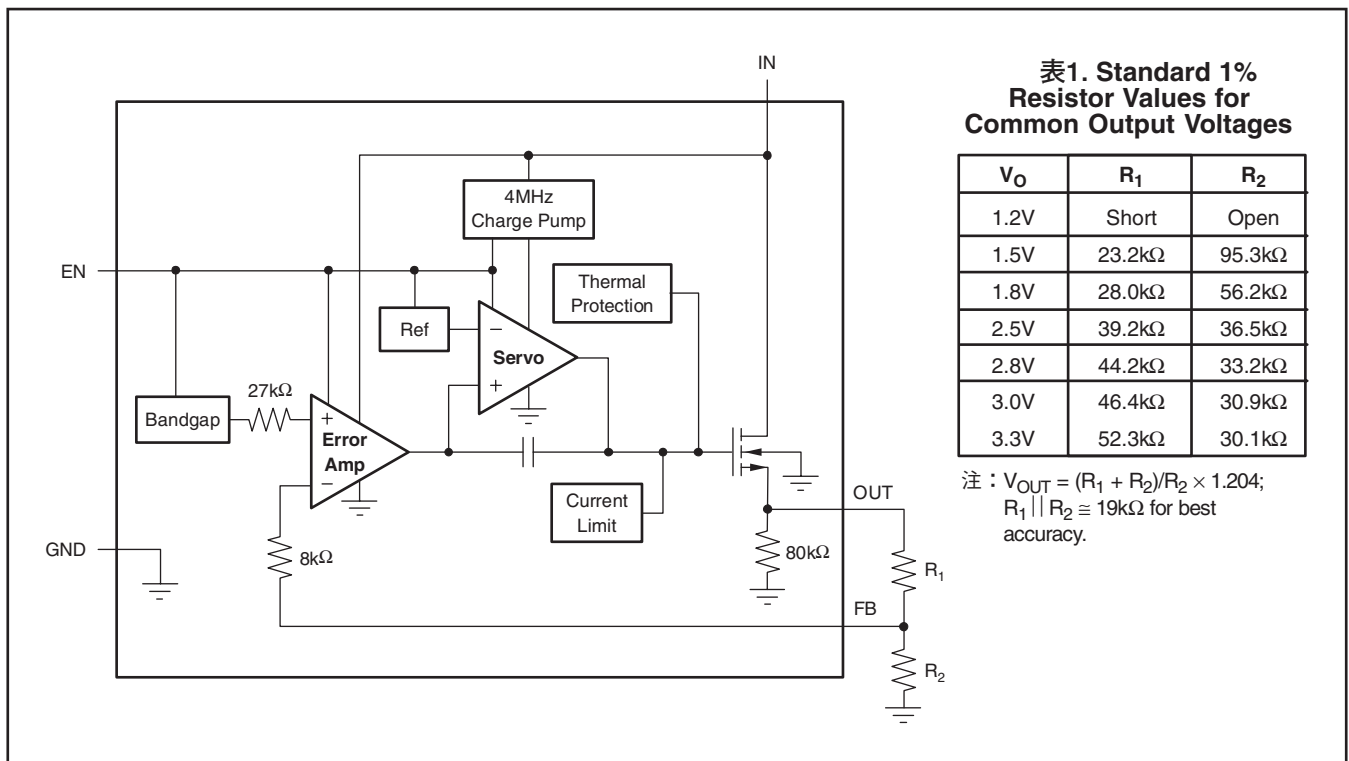
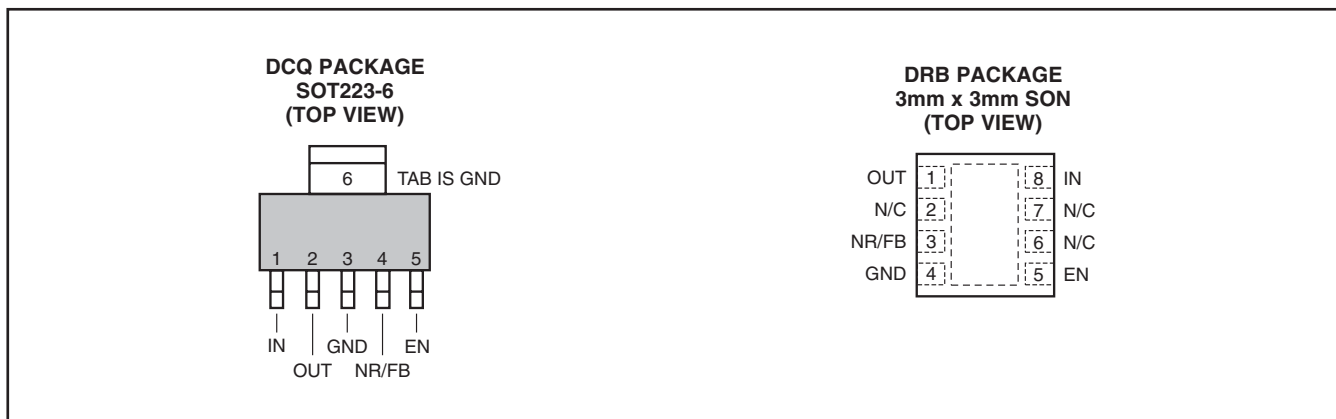


図 2. 可変出力電圧製品

ピン構成



PIN NAME	SOT223 (DCQ) PIN NO.	33 SON (DRB) PIN NO.	説明
IN	1	8	非レギュレーション電源入力
GND	3, 6	4, Pad	グラウンド
EN	5	5	イネーブル・ピン (EN) を “High” にすると、レギュレータがオンになります。このピンを “Low” にすると、レギュレータはシャットダウン・モードになります。詳細については、「アプリケーション情報」の「シャットダウン」を参照してください。ENピンはフロートで放置してはいけません。未使用時は、ENをINに接続できます。
NR	4	3	固定電圧製品のみ。このピンに外部コンデンサを接続すると、内部のバンドギャップで発生したノイズをバイパスできます。これにより、出力ノイズを非常に低いレベルまで低減できます。
FB	4	3	可変電圧製品のみ。これは制御ループ誤差増幅器への入力であり、デバイスの出力電圧を設定するために使用されます。
OUT	2	1	レギュレータの出力です。安定性のための出力キャパシタ要求事項はありません。
NC	—	2, 6, 7	接続なし。

表 1. ピンの機能

代表的特性

特に記述のない限り、すべての電圧タイプについて、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 1.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。

ロード・レギュレーション

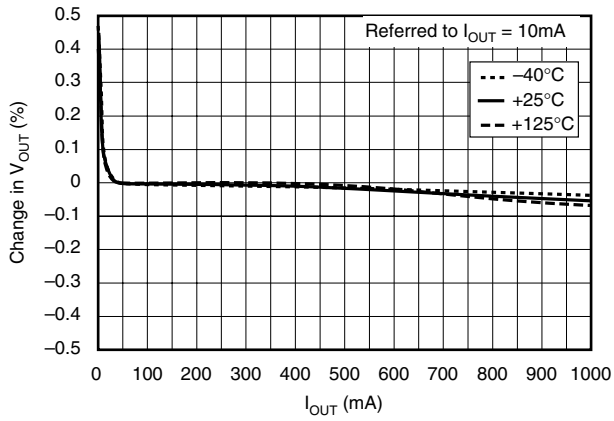


図 3

ライン・レギュレーション

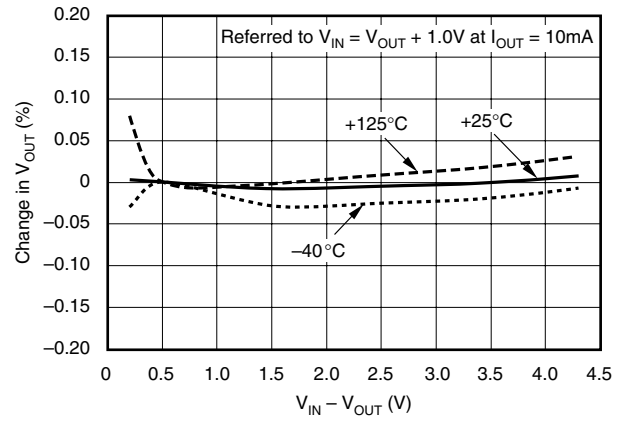


図 4

ドロップアウト電圧 — 出力電流

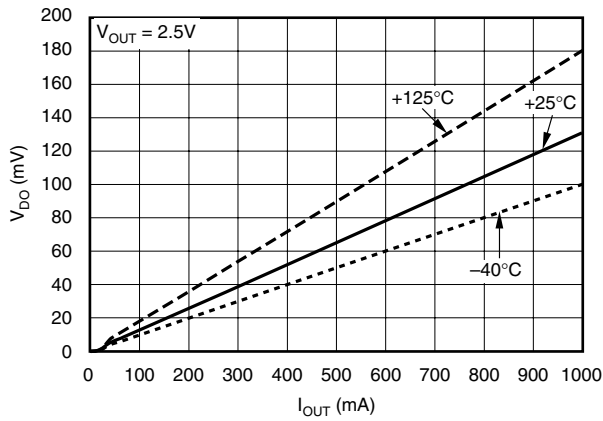


図 5

ドロップアウト電圧 — 温度

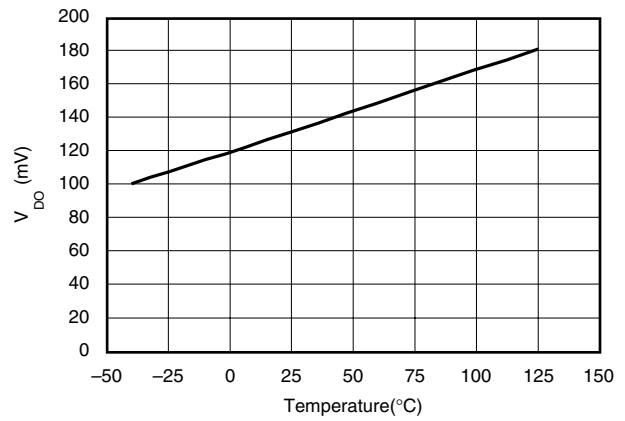


図 6

出力電圧ヒストグラム

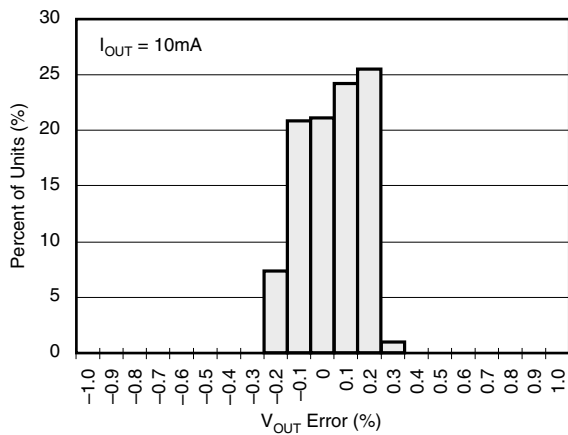


図 7

ドロップアウト電圧ドリフト・ヒストグラム

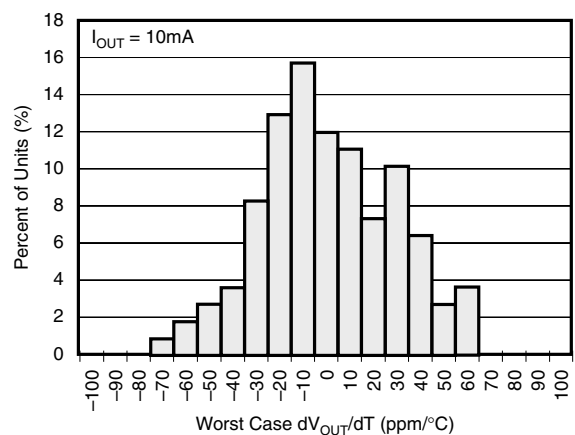


図 8

代表的特性

特に記述のない限り、すべての電圧タイプについて、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT}(\text{nom}) + 1.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。

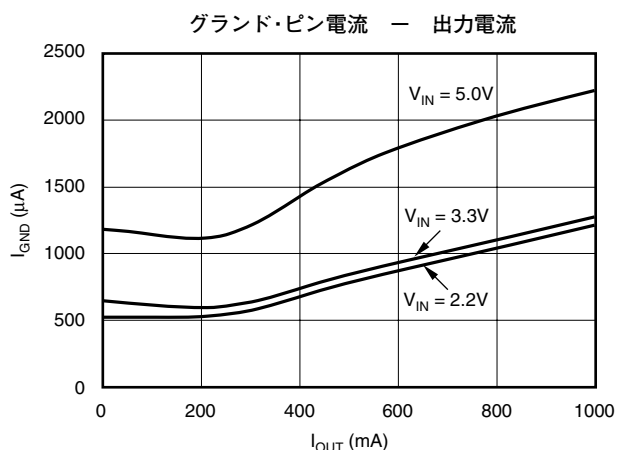


図 9

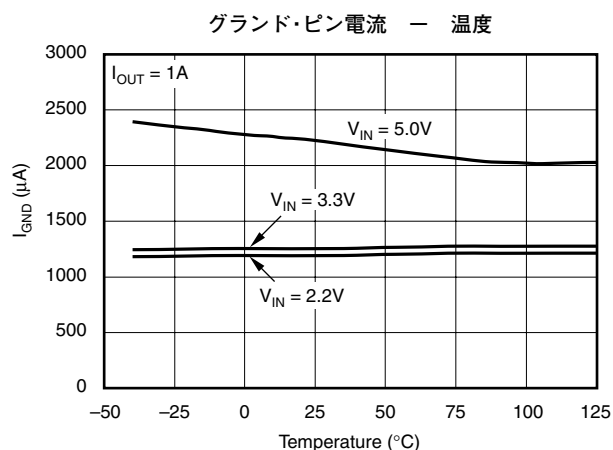


図 10

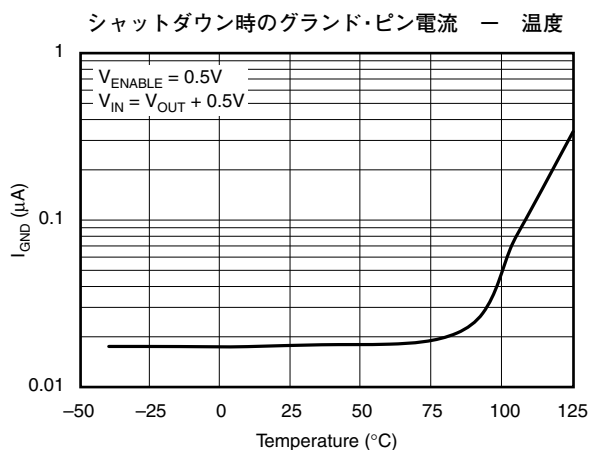


図 11

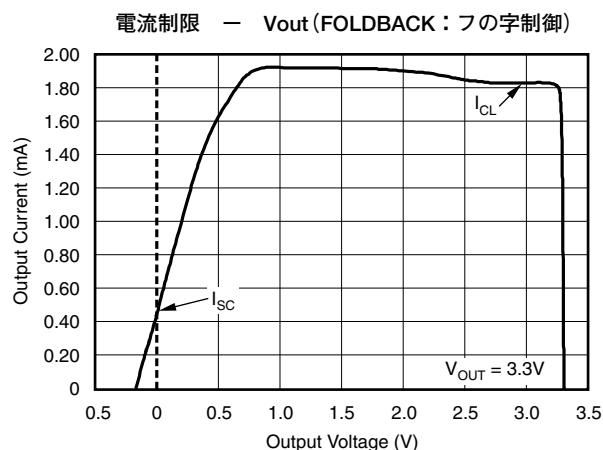


図 12

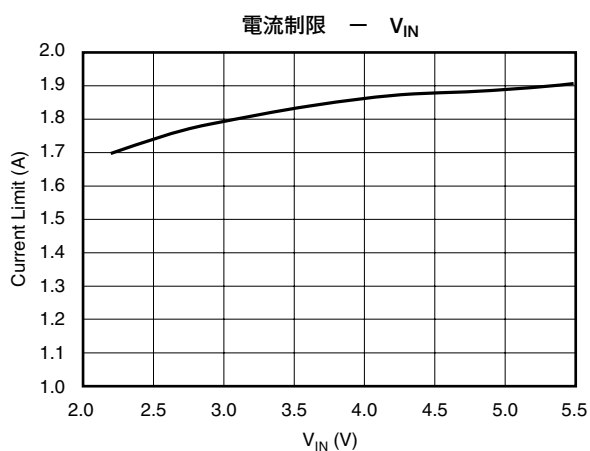


図 13

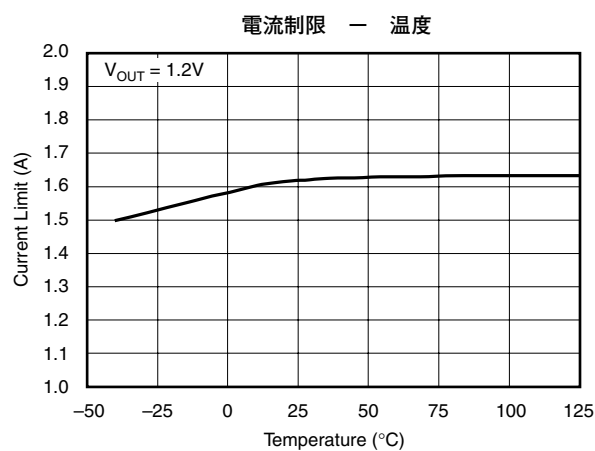


図 14

代表的特性

特に記述のない限り、すべての電圧タイプについて、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 1.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。

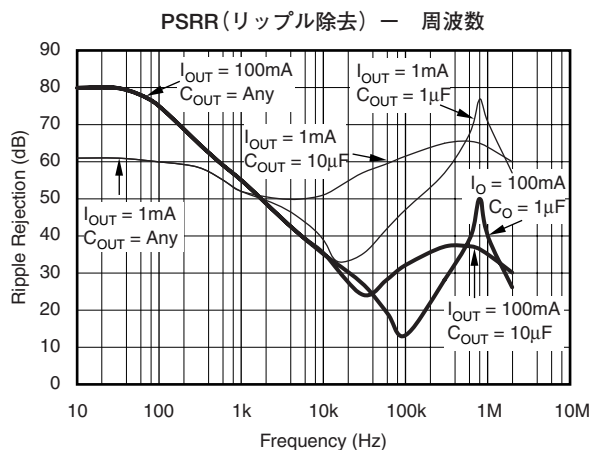


図 15

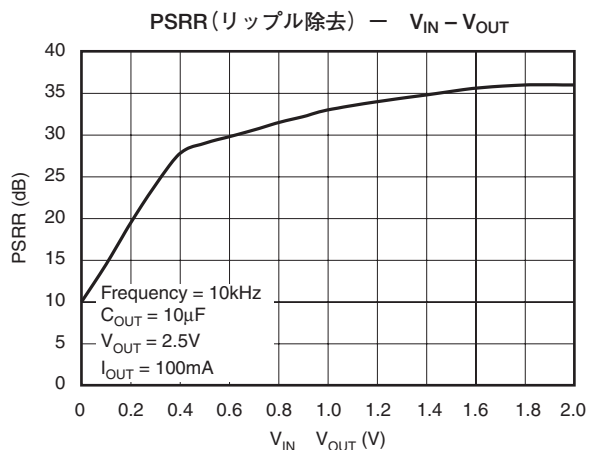


図 16

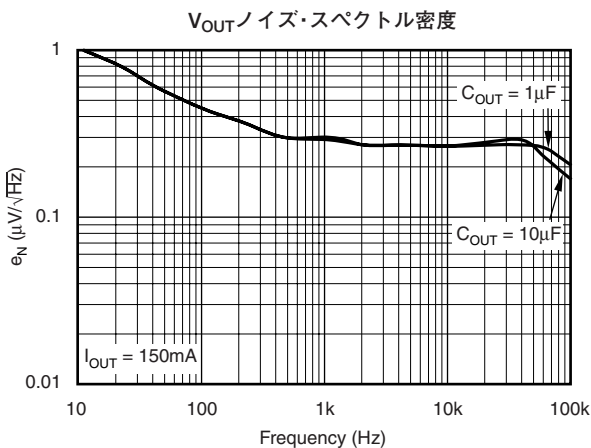


図 17

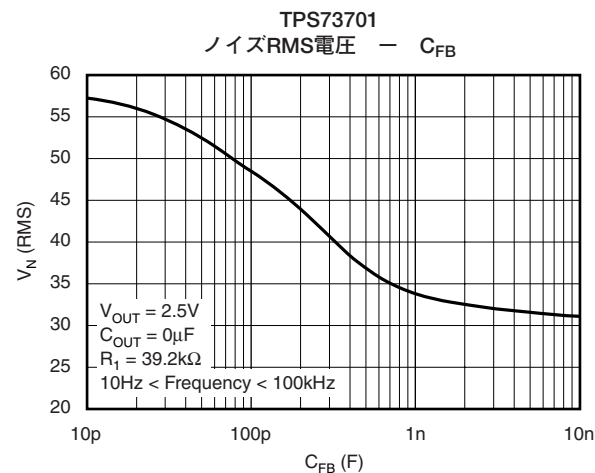


図 18

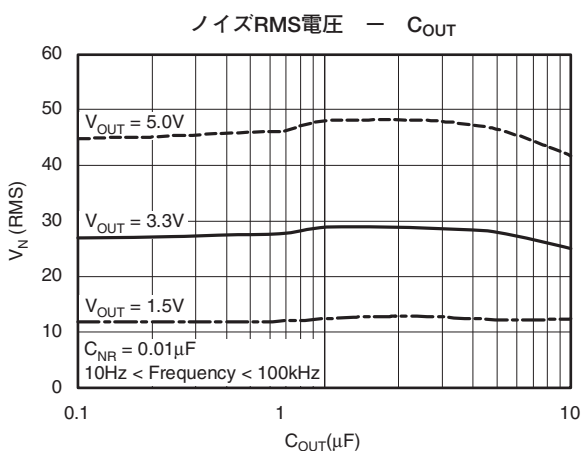


図 19

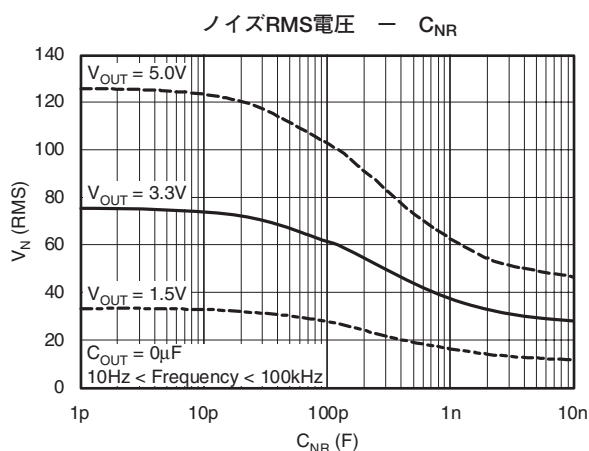


図 20

代表的特性

特に記述のない限り、すべての電圧タイプについて、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 1.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。

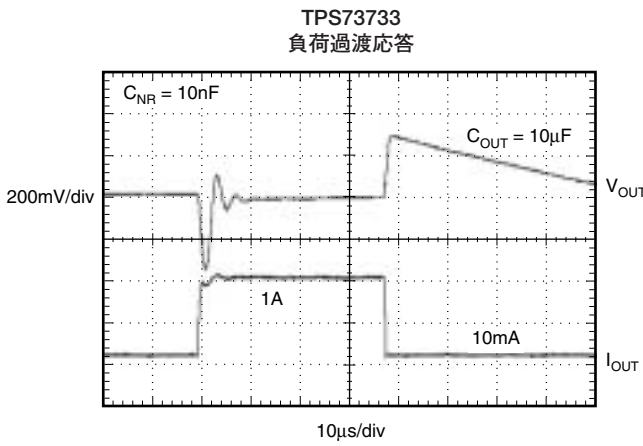


図 21

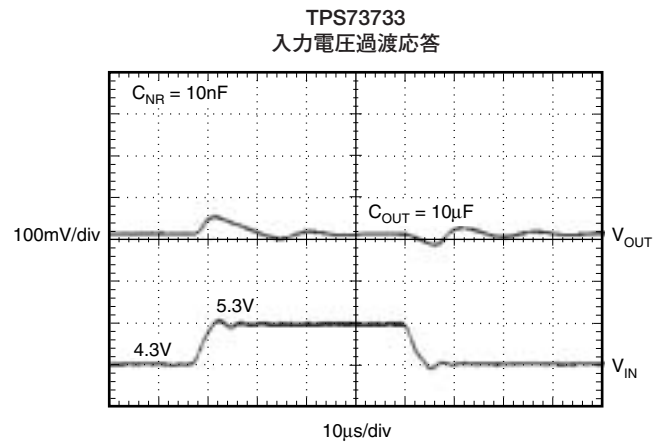


図 22

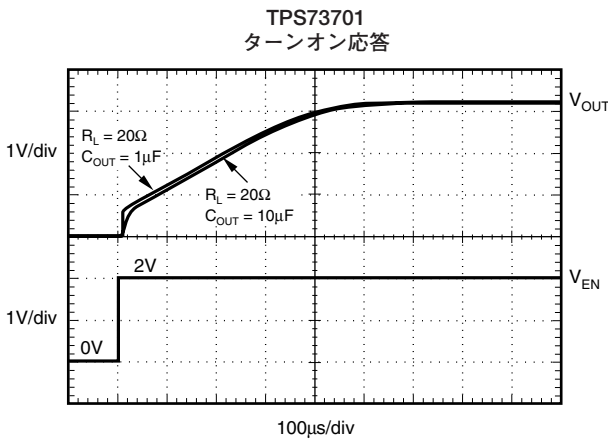


図 23

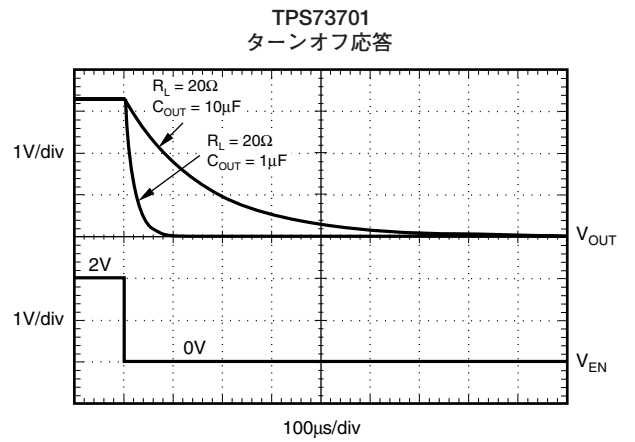


図 24

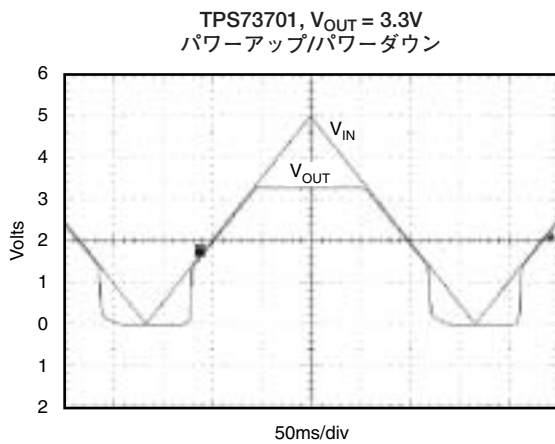


図 25

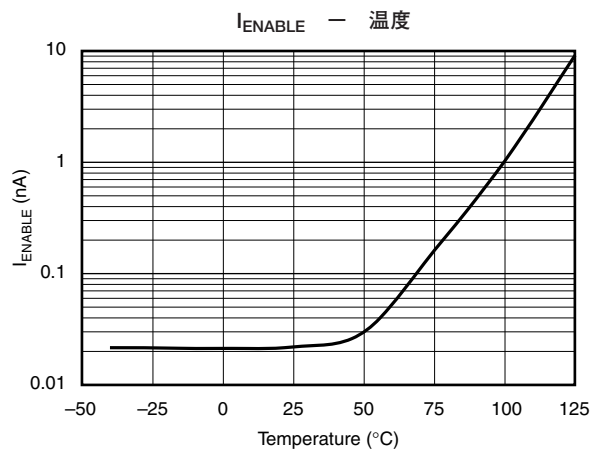


図 26

代表的特性

特に記述のない限り、すべての電圧タイプについて、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 1.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、および $C_{OUT} = 2.2\mu\text{F}$ です。

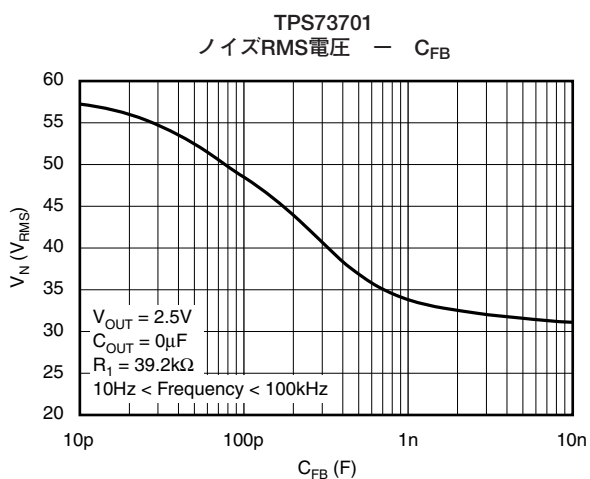


図 27

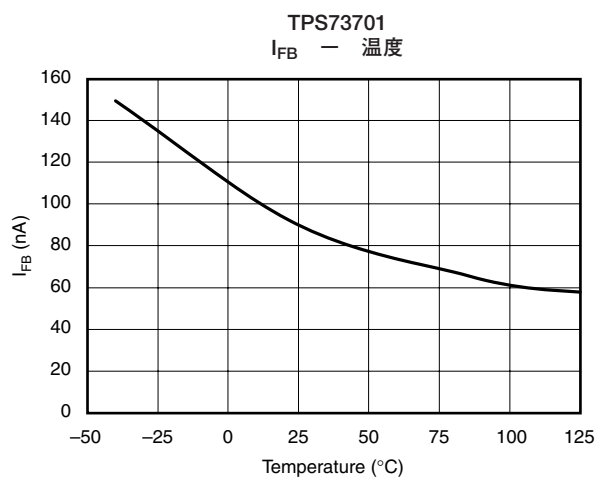


図 28

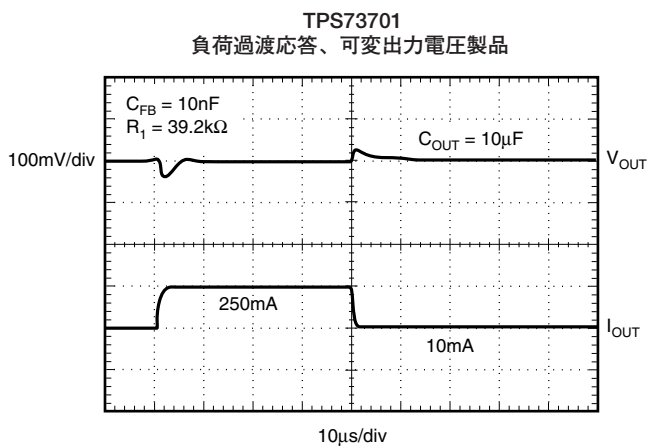


図 29

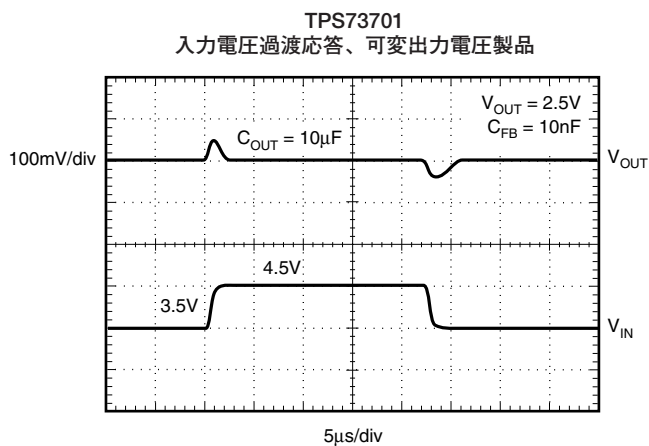


図 30

アプリケーション情報

TPS737xxは新世代のLDOレギュレータのファミリーに属します。このレギュレータはNch-MOSFETを使用することで、超低ドロップアウト性能、逆方向電流の遮断が実現されており、また、出力キャパシタの使用制限がありません。これらの特長とイネーブル入力を組み合わせると、TPS737xxはポータブルアプリケーションにとって理想的なデバイスになります。このレギュレータファミリーには、豊富な種類から選択可能な固定出力電圧製品と、可変出力電圧製品があります。どのタイプにも、過熱保護およびフォールドバック型の過電流保護の機能が装備されています。

図31に、固定出力電圧製品の基本的な回路図を示します。図32に、可変出力電圧製品 (TPS73701) の回路図を示します。

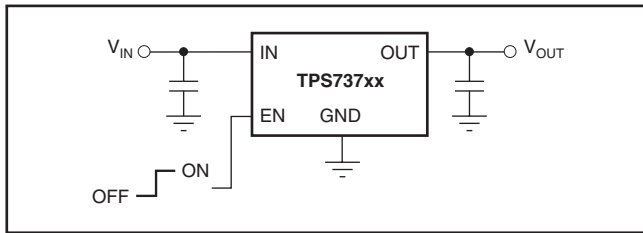


図 31. 一般的なアプリケーション回路 (固定出力電圧製品)

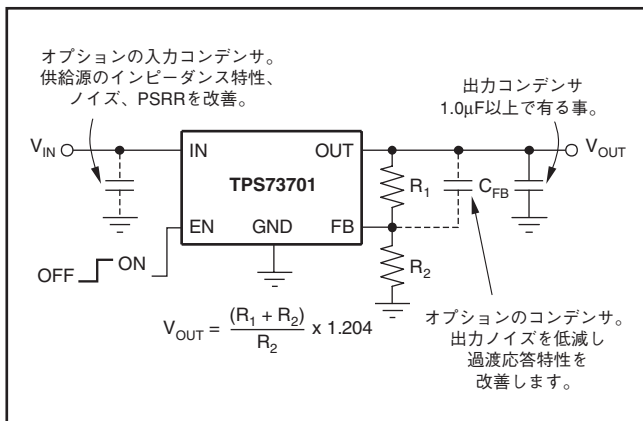


図 32. 一般的なアプリケーション回路 (可変出力電圧製品)

出力電圧に対する R_1 と R_2 は、図32の式を使用して計算できます。一般的な出力電圧の参考の抵抗値は、図2に示すとおりです。

出力電圧精度を最も上げるには、 R_1 と R_2 の並列抵抗値を約19k Ω にします。外部抵抗値を19k Ω に設定すると、内部の8k Ω の抵抗と合わせて誤差増幅器へのインピーダンスが27k Ω となり、バンドギャップ・リファレンスの出力と同じ値になります。インピーダンスが同じになると、誤差増幅器のピンに対するリーケージを補償することができます。

入力および出力キャパシタの要件

入力側の供給電源のインピーダンスが十分に低ければレギュレータの安定性を得るという意味での入力キャパシタは必要ありませんが、アナログ設計の観点からは、レギュレータの入力近端に等価直列抵抗 (ESR) の低い0.1~1.0 μ Fのキャパシタを配置するのが理想的です。このキャパシタは、急峻な入力変動を

抑制し、過渡応答、ノイズ除去、リップル除去能力を向上させます。高速な立ち上がりのような大きな負荷変動が発生する場合や、デバイスが電源から数インチ離れた場所に配置されている場合には、もっと値の大きな容量のキャパシタが必要になることがあります。

一方、TPS737xxが安定動作するには、1.0 μ Fの出力キャパシタが必要です。出力キャパシタは、どの種類、どの容量値のキャパシタでも安定に動作するように設計されています。複数の低ESRキャパシタが並列に配置されているアプリケーションでは、 C_{OUT} とESRの総計との積が50n Ω Fよりも低下すると、リングングが発生することがあります。このESRには、すべての寄生抵抗 (キャパシタのESRおよび基板、ソケット、半田の接続抵抗など) が含まれます。ほとんどのアプリケーションで、 C_{OUT} とESRの積は、この要件を満たしています。

出力雑音

高精度のバンドギャップ・リファレンスが内部基準電圧 (V_{REF}) の生成に使用されています。このリファレンスは、TPS737xx内部の主要な雑音源で、基準電圧の出力 (NR) で約32 μ V_{RMS} (10Hz ~100kHz) の雑音を発生します。レギュレータの制御ループは、基準電圧に対する出力電圧の比率だけリファレンスの雑音を増加させます。この時、レギュレータのおよその雑音電圧は、以下の式で求められます。

$$V_N = 32\mu\text{V}_{\text{RMS}} \times \frac{(R_1 + R_2)}{R_2} \\ = 32\mu\text{V}_{\text{RMS}} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}} \quad (1)$$

V_{REF} の値は1.2Vであるため、この関係は以下の式に示すように簡略化できます。

$$V_N(\mu\text{V}_{\text{RMS}}) = 27 \left(\frac{\mu\text{V}_{\text{RMS}}}{V} \right) \times V_{\text{OUT}}(V) \quad (2)$$

C_{NR} が実装されていない場合

NRピンとGNDの間にノイズ低減コンデンサ C_{NR} が接続されるとノイズ低減ピン (NR) に直列に接続されている内部の27k Ω の抵抗との組み合わせにより基準電源からのローパスフィルタを構成します。 $C_{NR} = 10\text{nF}$ の時、10Hzから100kHzまでのバンド幅の総ノイズ量は約3.2の比率で減少します、よっておおよその関係式は：

$$V_N(\mu\text{V}_{\text{RMS}}) = 8.5 \left(\frac{\mu\text{V}_{\text{RMS}}}{V} \right) \times V_{\text{OUT}}(V) \quad (3)$$

$C_{NR} = 10\text{nF}$ の時

このノイズ低減効果は代表的特性の“ノイズRMS電圧 C_{FB} ”の項に示されています。

TPS73701可変電圧製品はNRピンを持っていません。しかし帰還キャパシタ C_{FB} を出力と帰還ピン(FB)の間に接続すると、出力雑音が減り、負荷変動に対する応答特性が向上します。このキャパシタは0.1 μ F以下に制限する必要があります。

TPS737xxは、内部のチャージ・ポンプを使用して、Nch-MOSFETパス素子のゲートを駆動するのに必要な出力電圧より高い内部電源電圧を生成します。このチャージ・ポンプは約4MHz/250 μ Vのスイッチング雑音を発生しますが、 I_{OUT} 、 C_{OUT} のほとんどの条件においてレギュレータ出力に与える影響はごくわずかなものとなっています。

PSRRと雑音のパフォーマンス向上を実現するための基板の推奨レイアウト

PSRR、出力雑音、過渡応答などのACパフォーマンスを向上させるためには、プリント基板(PCB)の、 V_{IN} と V_{OUT} に対応する各グラウンド・プレーンを分離し、各グラウンド・プレーンは、デバイスのGNDピンで一点接地し、また、バイパス・キャパシタのグラウンド端子も、デバイスのGNDピンで一点接地する設計をお勧めします。

内部電流制限機能

TPS737xxは、異常状態におかれても、内蔵の電流制限機能によりレギュレータを保護することができます。

フォールドバック型の電流保護は、 V_{OUT} が0.5Vよりも低くなった場合に電流制限値をさらに下げることによって、出力短絡の発生中にレギュレータが破損しないように保護します。代表的特性の図12を参照してください。

(注)：図12に記載されているように、出力電圧 $-0.2V$ の時の出力電流は0mAとなります。これは、ENが“High”となる時にOUTピンが $-0.2V$ 以下の電圧にバイアスされていると本製品は起動する事が出来なくなるという事を意味します。アプリケーションが正負2電源で使用される場合にはTPS737xxを先に起動させる必要が有ります。

イネーブルとシャットダウン

イネーブルピン(EN)は‘H’でアクティブとなり、標準的なTT-LCMOSとの互換性を有しています。

V_{EN} が0.5V(最大)より低くなると、レギュレータがオフになり、グラウンド・ピンの電流が約10mAに低下します。レギュレータをシャットダウンするのにENが使用されると制御トランジスタのゲートの電荷は放電され次の立ち上げ時の制御された V_{OUT} のランプ上昇(図23参照)に備えます。

シャットダウン機能が不要な場合は、ENABLEピンを V_{IN} に接続します。しかしながら、この使用方法では制御トランジスタのゲートの電荷は放電されない事が有ります。そして入力電圧が無くなった後暫くの間ONによる導通状態を保持しています。ゲートの電荷が残留している時間以内に再起動すると、(もし入力インピーダンスが低い場合)逆流電流が流れる、パワーアップ時に規定より高速な電圧立ち上がりが発生する結果大きなラッシュ電流が流れる、といった問題が発生します。また、入力電圧の立ち上がりが数msec以上と遅い場合にENが“High”になる電圧が1.7Vと低い為に V_{IN} が規定電圧に達する前に起動してソフトスタートが終了してしまい、起動時にオーバーシュートが発生する事が有ります。

(注)：フォールドバックによる過電流制限がいくつかの条件下で起動時に動作してしまう事が有ります。詳細は内部電流制限機能の項を参照してください。

ドロップアウト電圧

TPS737xxには、超低ドロップアウトを実現するためにNch-MOSFETが使用されています。 $(V_{IN} - V_{OUT})$ がドロップアウト電圧(V_{DO})よりも低い場合は、Nch-MOSFETの動作が飽和領域となり、入出力間の抵抗値がNch-MOSFETの $R_{DS,ON}$ に等しくなります。

大きな負荷変動がある場合には、負荷応答の悪化を軽減する為にTPS737xxの入出力間の電位差を大きくとる必要があります。この過渡状態でのドロップアウト電圧はDCでのドロップアウト電圧の2倍程度となります。 $(V_{IN} - V_{OUT})$ の値が上記の値以上であれば、通常の過渡応答特性が得られます。

負荷変動が生じてドロップアウト電圧領域内で動作することになった場合は、電圧復帰の時間が長くなる可能性があります。負荷変動からの電圧復帰にはある程度の時間が必要で、その時間は、1. 電流変化の振幅、2. 電流変化の速度、3. 最小入出力間電位差に対する余裕度、で決まります。ワーストケースの状態[$(V_{IN} - V_{OUT})$ が最小入出力間電位差に近い状態で、フルスケールの瞬間的な負荷変動が発生するような状態]では、TPS737xxが指定のレギュレーション精度に戻るまでに200 μ s程度かかる可能性があります。

過渡応答特性

Nch-MOSFETを使いボルテージ・フォロア構成を採ること
で得られる低い開ループ出力インピーダンスにより、1.0μF出
力キャパシタがなくても安定に動作します。他のレギュレータ
と同様に、出力ピン – グランド間に容量を追加すると、アン
ダーシュートの落ち込み幅は減りますが、その復帰時間は増加
します。出力可変タイプでは、出力 – FBピン間にキャパシタ
C_{FB}を追加すると過渡応答特性が向上します。

TPS737xxには、出力が過電圧になったとき電圧を引き下げる
機能がありません。この構造を採ることにより、より高い電圧
源（例えば別電源）が出力に接続されるようなアプリケーション
に使用できます。しかし、この構造により、キャパシタが出力
に接続されている場合に急激に無負荷となった場合、出力に
数パーセントのオーバーシュートが発生する場合があります。
オーバーシュートの継続時間は、負荷抵抗を追加することで短
縮することができます。オーバーシュートの減衰率は、出力キャ
パシタC_{OUT}と内部および外部の負荷抵抗によって決定されま
す。減衰率は以下の式で求められます。

(固定出力電圧製品)

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \quad (4)$$

(出力可変タイプ)

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (5)$$

逆方向電流

TPS737xxのNch-MOSFETは特殊構造を持っており、FETの
ゲートが“Low”になったときにレギュレータの出力から入力
に向かって電流が流れることを防止します。FETのゲートから
電荷をすべて除去するには、ENABLEピンを“Low”にしてから、
入力電圧を除去する必要があります。この手順を実行できない
場合は、ゲートに電荷が蓄積されたままとなり、FETがオンに
なっている可能性があります、この場合は逆方向電流が流れてしま
います。

ENABLEピンを“Low”にした後には、逆方向電流を阻止す
るためのバイアス電圧はどのピンにも必要なくなります。逆方
向電流は、OUTピンに印加される電圧により、INピンから流
れる電流として規定されていることに注意してください。この
電流とは別に、80kΩの内部抵抗により、OUTピンには電流が
流れ込みます（図1および図2を参照）。

TPS73701では、V_{FB}がV_{IN}に比べて1.0V高くなったときに、
逆方向電流が流れることがあります。

過熱保護

ジャンクション温度が約+160°Cに上昇した場合、過熱保護に
より出力がOFFし、デバイスが冷却されます。ジャンクション
温度が約+140°Cに下がると、出力回路は再びイネーブル状態に
なります。消費電力、熱抵抗、および周囲温度によっては、過
熱保護回路がオン・オフを繰り返すことがあります。このよう
にオンまたはオフを繰り返すことで、レギュレータでの電力消
費を制限し、過熱による損傷を防ぐことができます。

過熱保護回路が動作する場合には、消費電力が過剰か、ヒー
トシンクとして働く周辺の基板面積の確保が十分でないことが
考えられます。動作の信頼性を維持するために、ジャンクション
温度は最大で+125°Cに制限する必要があります。ヒートシン
クを含む設計全体のマージンを見積もるには、過熱保護が動作
するまで周囲温度を高くし、ワーストケースの負荷条件と信号
条件にて評価してください。信頼性を高くするには、アプリ
ケーションの想定周囲条件の上限よりも少なくとも+35°C上の
温度で過熱保護が動作するように設計してください。これによ
り、想定最高周囲温度で最大負荷を流しても、ジャンクション
温度は必ず+125°C以下となります。

TPS737xxの内部保護回路は、過負荷状態になったときに保
護する仕様になっています。この回路は、本来の放熱処理の代
わりを意図したものではありません。TPS737xxをサーマル・
シャットダウンのまま動作し続けると、デバイスの信頼性が
低下します。

許容損失

デバイスの放熱能力は、パッケージのタイプごとに異なるため、PCBレイアウトの検討事項もそれぞれで異なります。デバイス周辺のPCB部分はデバイスの熱を大気に放出させる為に、他の部品を実装しない放熱版として働く領域を確保する必要があります。JEDECのLow-K基板とHigh-K基板での性能データは、Power Dissipation Ratingの表に記載されています。厚い銅箔パターンを使用すると、デバイスの発生する熱を熱伝導により除去する効果は高くなります。また、熱放散層との間にメッキのスルーホールを追加する事により、ヒートシンクとしての能力が向上します。

消費電力による発熱は入力電圧と負荷状態によって変化します。消費電力 (P_D) は、以下の式に示すように、出力電流と、出力パス素子の電圧降下 (V_{IN} から V_{OUT} を引いた値) の積に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

出力電圧の要件を満たすのに必要な入力電圧を最低限に抑えることで、電力損失による発熱を最小化することができます。

パッケージの実装

TPS737xx向けの半田付けパッドの推奨フットプリントについては、テキサス・インスツルメンツのWebサイト (www.ti.com) で入手可能なアプリケーション・ノート「Solder Pad Recommendations for Surface-Mount Devices」(表面実装デバイス向けの推奨半田付けパッド) (SBFA015) に記載されています。

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS73701DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DRBR	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DRBRG4	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73701DRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73718DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73718DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73718DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73718DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73725DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73725DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73725DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73725DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73730DRBR	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73730DRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73733DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73733DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73733DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73733DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73734DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS73734DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt) : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項 : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

TPS73733 限定版 :

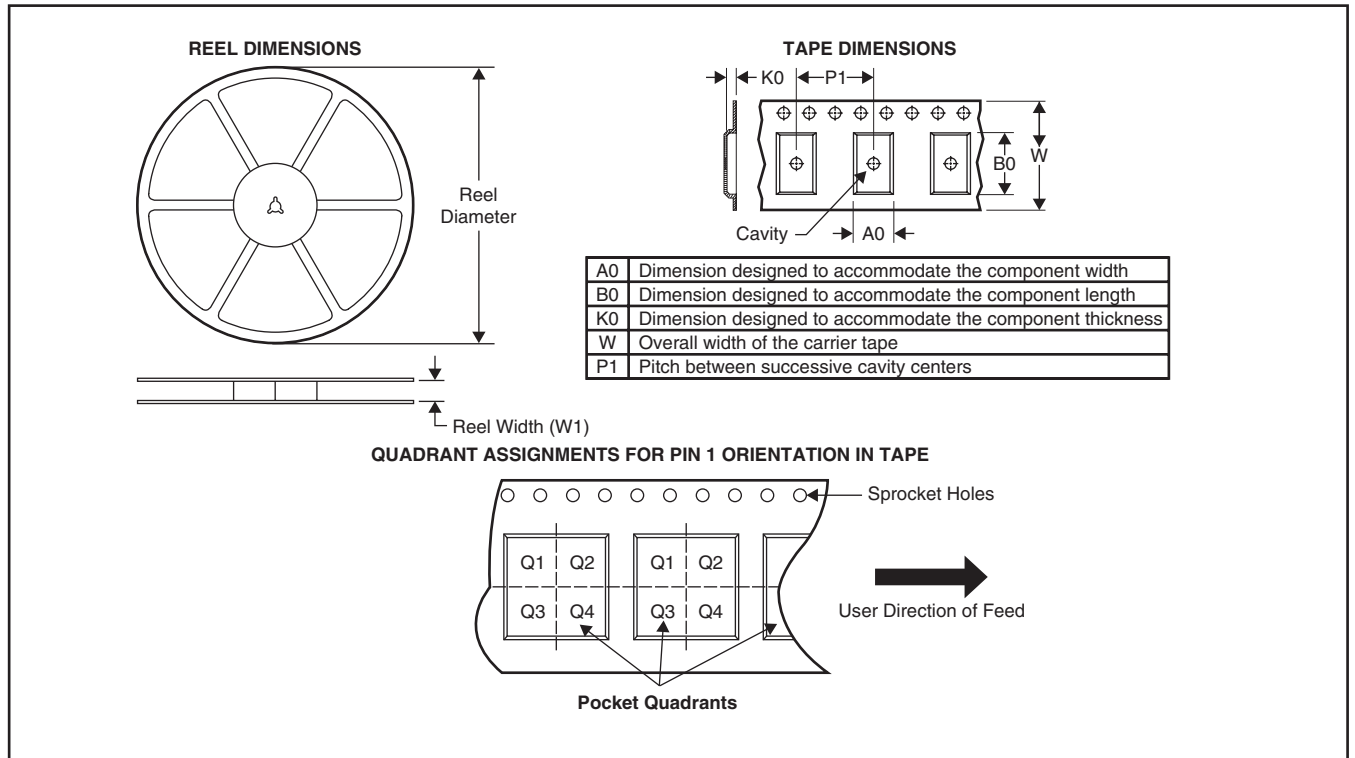
・ オートモーティブ : TPS73733-Q1

注 : 限定版の定義 :

・ オートモーティブ : 100デバイスあたり、不具合がなく、高い信頼性があると認定されたオートモーティブ・アプリケーション向けのデバイスです。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

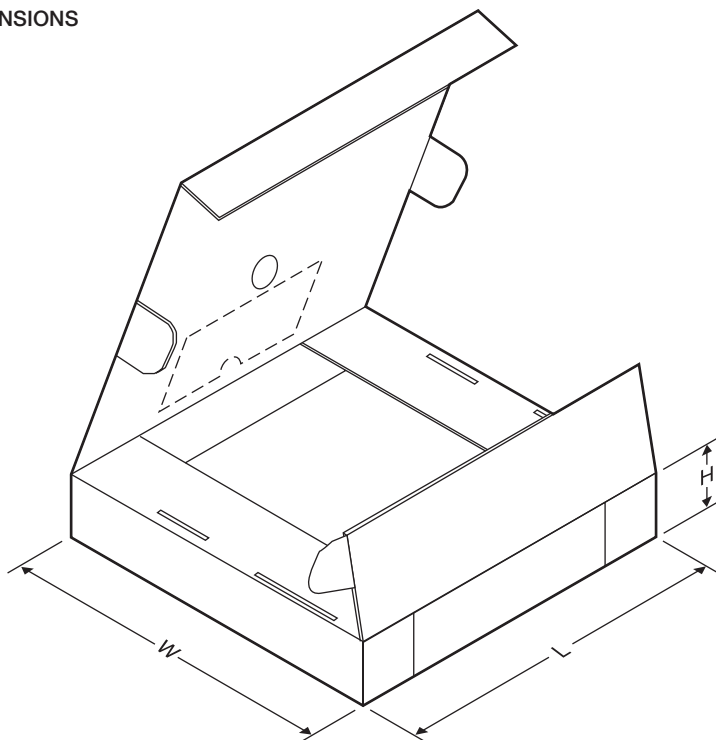


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73701DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS73701DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73701DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73718DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS73725DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS73730DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73730DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73733DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS73734DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



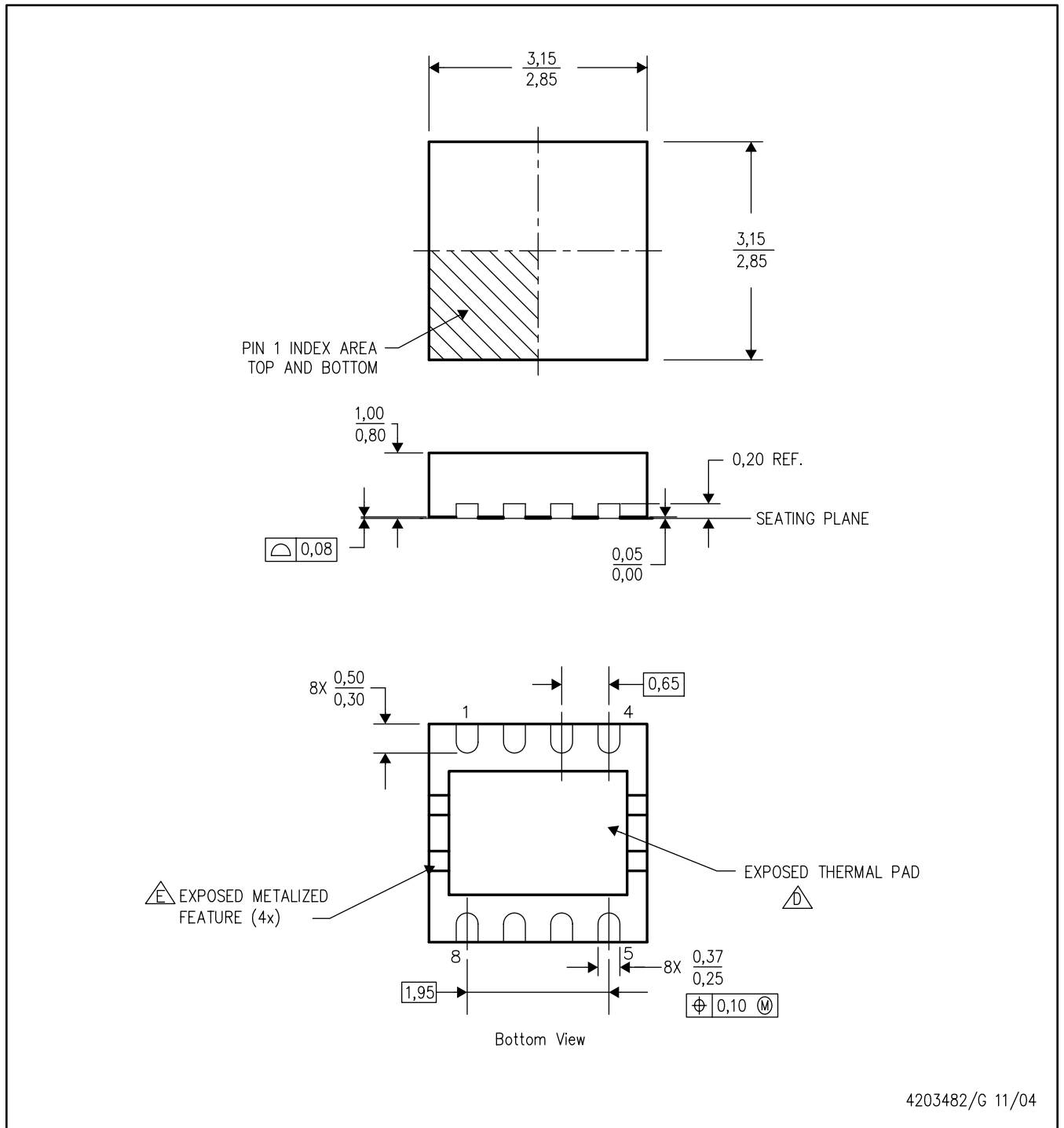
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73701DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS73701DRBR	SON	DRB	8	3000	346.0	346.0	29.0
TPS73701DRBT	SON	DRB	8	250	190.5	212.7	31.8
TPS73718DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS73725DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS73730DRBR	SON	DRB	8	3000	346.0	346.0	29.0
TPS73730DRBT	SON	DRB	8	250	190.5	212.7	31.8
TPS73733DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS73734DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0

メカニカル・データ

DRB (S-PDSO-N8)

PLASTIC SMALL OUTLINE



- 注： A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M-1994に従っています。
 B. 図は予告なく変更することがあります。
 C. SON (Small Outline No-Lead) パッケージ構成
 △ 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。
 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。
 △ 金属化はベンダのオプションで、パッケージには含まれていない場合があります。

サーマルパッド・メカニカル・データ

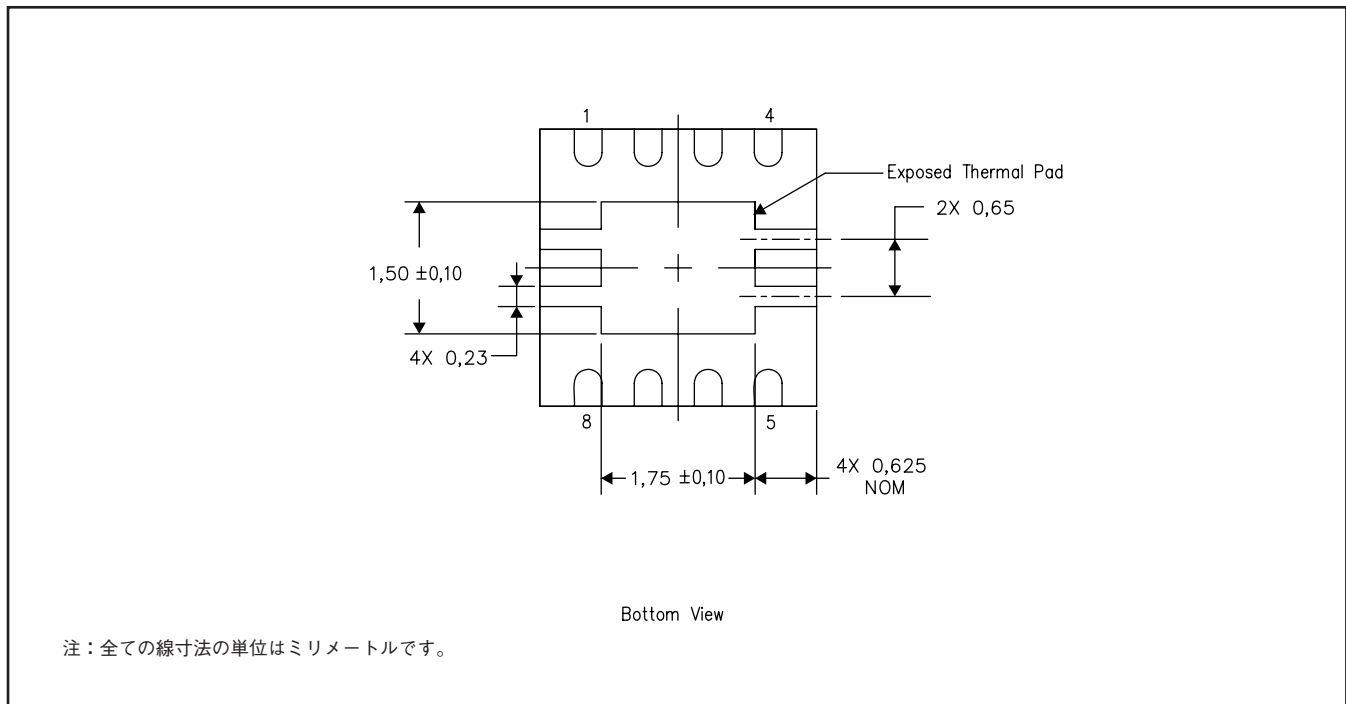
DRB (S-PVSON-N8)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン (どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート “Quad Flatpack No-Lead Logic Packages” QFN/SON PCB添付ファイル、TI文献番号SLUA271を参照してください。この文献はホームページ www.ti.com で入手できます。

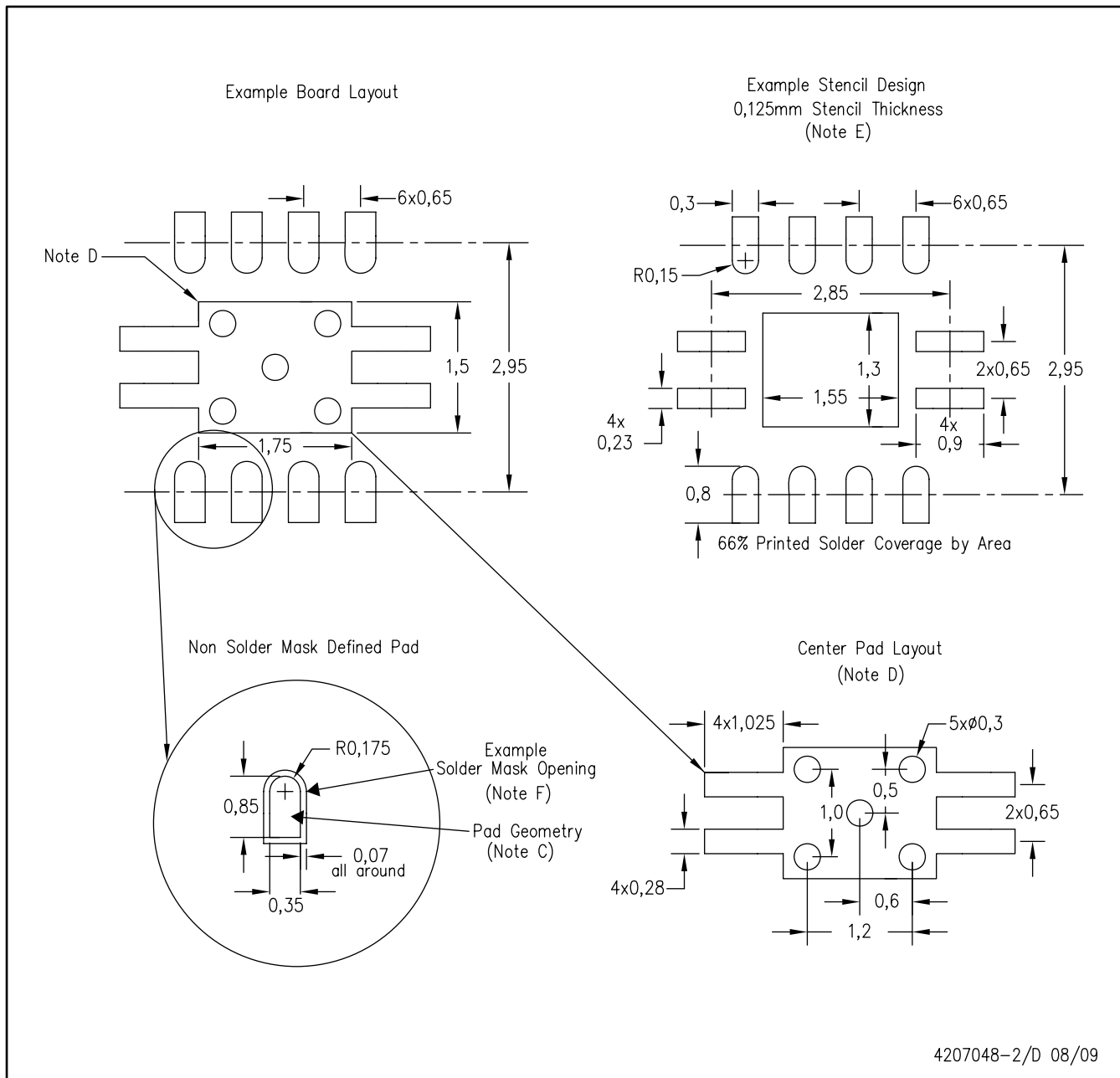
このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図

LAND PATTERN

DSK (S-PSDO-N10)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-SM-782を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート「Quad Flat-Pack Packages」(TI文献番号SCBA017、SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上