

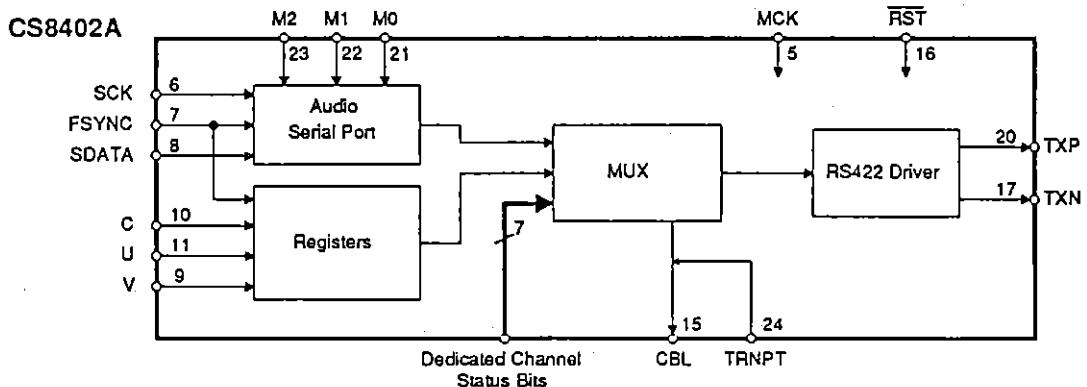
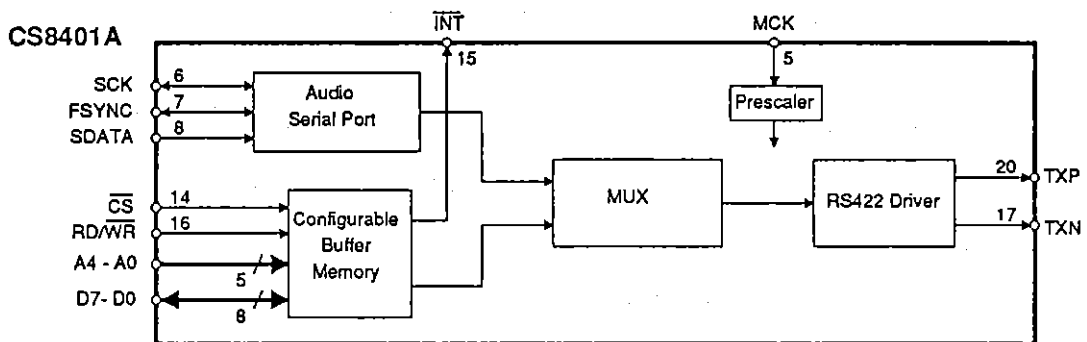


# CS8401A / 8402A

## デジタルオーディオ・インタフェース・トランスミッタ

### 特 長

- モノリシックDIT
- プロ用/民生用フォーマットに準拠  
AES/EBU, IEC958, S/PDIF, EIAJ CP-340
- ホストモード/スタンドアロンモード
- CRCコードとパリティビットの自動発生
- RS422ラインドライバ内蔵
- バッファメモリ内蔵 (CS8401A)
- トランスペアレントモード装備  
CS8402A-CS8412, CS8401A-CS8411をダイレクト接続可能



## 概 要

CS8401A/8402Aはオーディオ信号およびデジタルデータを符号化し送信するLSIで、AES/EBU、IEC 958、S/PDIFおよびEIAJ CP-340規格に準拠しています。オーディオ信号およびデジタルデータはデバイス内部で多重化され、バイフェーズマーク方式で符号化されます。また、トランスを直接駆動して、1本のケーブルに信号を出力します。CS8401Aは内部にコントロールデータ用のバッファメモリを持っており、パラレルポートを通してチャンネルステータス(C)、AUXデータ、ユーザデータ(U)をロードします。CS8402AはシリアルポートからC、U、Vビットを入力でき、特定のCビットについては別にピンを用意しています。

AES/EBU規格とIEC958規格の概要についてはアプリケーションノート「Overview of Digital Audio Interface Data Structure」を参照して下さい。但し、完全な規格についてはそれぞれの発行元から取り寄せて下さい。AES/EBUについてはAESまたはANSIから、IEC958についてはIECから、CP-340についてはEIAJから入手できます。

## ■ ラインドライバ

内蔵のRS422ドライバは差動出力になっており、付録Aの構成では4V<sub>p-p</sub>で110Ωを駆動します。短絡防止のためマスタクロック(MCK)が供給されないとき、両ドライバはグランドにセットされます。また、デバイスをリセット(RST="L")にしてもグランドにセットされず、0.1μFのコンデンサをリード線を短くしてVD+ピンとDGNDピンになるべく近づけて接続して下さい。詳細は付録Aを参照して下さい。

## ■ データシートについて

本データシートはクリスタル社の英文データシート"DS60PP5"版を一部和訳したものです。特性表および付録については英文のまま掲載しています。データシートは暫定版ですので今後仕様が変更になる可能性もありますので、デバイスのご使用および内容について不明な点がございましたら弊社までご連絡下さい。また、原文のままのデータシートが必要な方はご請求下さい。

## ■ オーダリングガイド

型番	動作温度	パッケージ
CS8401-CP	0~70°C	24ピン プラスチックDIP
CS8401-IP	-40~85°C	24ピン プラスチックDIP
CS8401-CS	0~70°C	24ピン SOP
CS8401-IS	-40~85°C	24ピン SOP
CS8402-CP	0~70°C	24ピン プラスチックDIP
CS8402-IP	-40~85°C	24ピン プラスチックDIP
CS8402-CS	0~70°C	24ピン SOP
CS8402-IS	-40~85°C	24ピン SOP
CS8401A-CP	0~70°C	24ピン プラスチックDIP
CS8401A-IP	-40~85°C	24ピン プラスチックDIP
CS8401A-CS	0~70°C	24ピン SOP
CS8401A-IS	-40~85°C	24ピン SOP
CS8402A-CP	0~70°C	24ピン プラスチックDIP
CS8402A-IP	-40~85°C	24ピン プラスチックDIP
CS8402A-CS	0~70°C	24ピン SOP
CS8402A-IS	-40~85°C	24ピン SOP

\* "-CP"と"-CS"は0~70°Cで動作保証されますが、テストは25°Cのみです。  
"-IP"と"-IS"は-40~85°Cでテストされます。

## ■ CS8401/8402とCS8401A/8402Aとの相違点

"A"バージョンはトランスペアレントモードをサポートしており、CS8411/8412とダイレクトに接続することが可能です。このモードの追加により従来のバージョン("A"なし)でサポートしていたローカル・サンプル・アドレスとリライアビリティフラグの自動発生機能が削除されています。この機能以外は互換性があります。"A"バージョンは'93年Q1から供給開始されます。

**ABSOLUTE MAXIMUM RATINGS** (GND = 0V, all voltages with respect to ground.)

Parameter	Symbol	Min	Max	Units
DC Power Supply	VD+		6.0	V
Input Current, Any Pin Except Supply	Note 1 $I_{in}$	-	±10	mA
Digital Input Voltage	$V_{IND}$	-0.3	VD+	V
Ambient Operating Temperature (power applied)	$T_A$	-55	125	°C
Storage Temperature	$T_{stg}$	-65	150	°C

Notes: 1. Transient currents of up to 100 mA will not cause SCR latch-up.

WARNING: Operation at or beyond these limits may result in permanent damage to the device. Normal operation is not guaranteed at these extremes.

**RECOMMENDED OPERATING CONDITIONS**

(GND = 0V; all voltages with respect to ground)

Parameter	Symbol	Min	Typ	Max	Units
DC Voltage	VD+	4.5	5.0	5.5	V
Supply Current	Note 2 $I_{DD}$		1.5	5	mA
Ambient Operating Temperature: CS8401/2A-CP or -CS	Note 3 $T_A$	0	25	70	°C
CS8401/2A-IP or -IS		-40		85	°C
Power Consumption	Note 2 $P_D$		7.5	25	mW

Notes: 2. Drivers open (unloaded). The majority of power is used in the load connected to the drivers.  
3. The '-CP' and '-CS' parts are specified to operate over 0 to 70 °C but are tested at 25 °C only. The '-IP' and '-IS' parts are tested over the full -40 to 85 °C temperature range.

**DIGITAL CHARACTERISTICS**

( $T_A = 25 °C$  for suffixes 'CP' & 'CS',  $T_A = -40$  to  $85 °C$  for 'IP' & 'IS';  $VD+ = 5V \pm 10\%$ )

Parameter	Symbol	Min	Typ	Max	Units
High-Level Input Voltage	$V_{IH}$	2.0		$V_{DD}+0.3$	V
Low-Level Input Voltage	$V_{IL}$	-0.3		+0.8	V
High-Level Output Voltage ( $I_O = 200\mu A$ )	$V_{OH}$	$V_{DD}-1.0$			V
Low-Level Output Voltage ( $I_O = 3.2mA$ )	$V_{OL}$			0.4	V
Input Leakage Current	$I_{in}$		1.0	10	μA
Master Clock Frequency: CS8401A	Note 4 MCK			22	MHz
CS8402A	Note 4			7.1	MHz
Master Clock Duty Cycle	CS8401/2A	40		60	%

Notes: 4. MCK for the CS8401 must be 128, 192, 256, or 384x the input word rate based on M0 and M1 in control register 2. MCK for the CS8402A must be 128x the input word rate, except in Transparent Mode where MCK is 256x the input word rate.

Specifications are subject to change without notice.

**DIGITAL CHARACTERISTICS - RS422 DRIVERS**

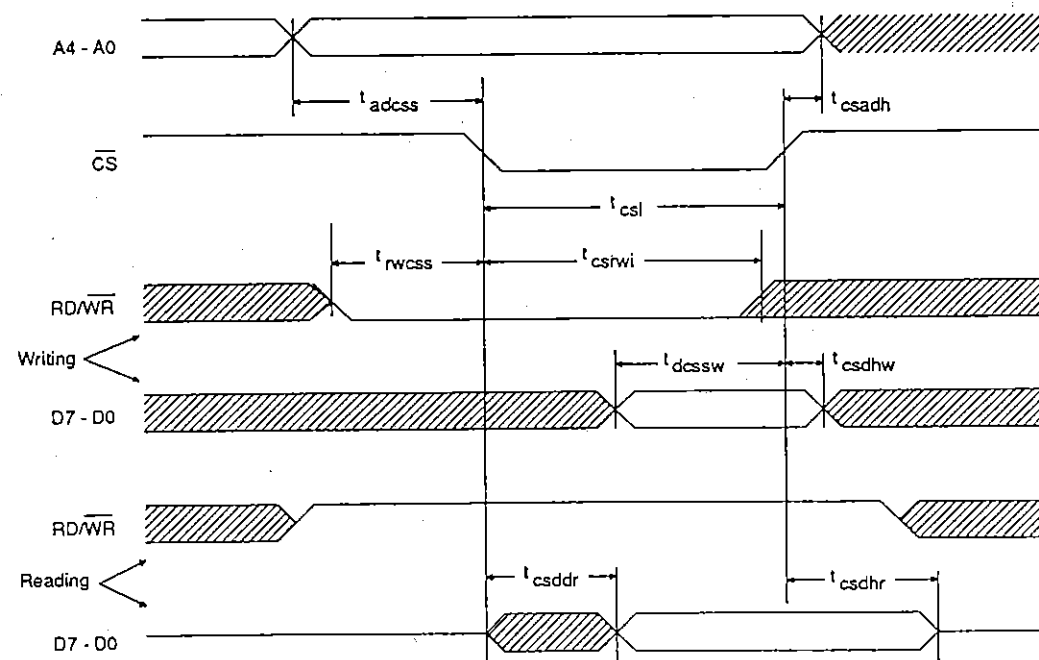
(TXP, TXN pins only;  $VD+ = 5V \pm 10\%$ )

Parameter	Symbol	Min	Typ	Max	Units
Output High Voltage	$I_{OH} = -30 mA$ $V_{OH}$	$VD+ - 0.7$	$VD+ - 0.4$		V
Output Low Voltage	$I_{OL} = 30 mA$ $V_{OL}$		0.4	0.7	V

**SWITCHING CHARACTERISTICS - CS8401A PARALLEL PORT**

( $T_A = 25 °C$  for suffixes '-CP' and '-CS';  $T_A = -40$  to  $85 °C$  for suffixes '-IP' and '-IS')

Parameter	Symbol	Min	Typ	Max	Units
ADDRESS valid to $\overline{CS}$ low	$t_{adcss}$	13.5			ns
$\overline{CS}$ high to ADDRESS invalid	$t_{csadh}$	0			ns
$RD/\overline{WR}$ valid to $\overline{CS}$ low	$t_{rwcsc}$	10			ns
$\overline{CS}$ low to $RD/\overline{WR}$ invalid	$t_{csrwi}$	35			ns
$\overline{CS}$ low	$t_{csl}$	35			ns
DATA valid to $\overline{CS}$ rising	$RD/\overline{WR}$ low (writing) $t_{dcsw}$	32			ns
$\overline{CS}$ high to DATA invalid	$RD/\overline{WR}$ low (writing) $t_{csdhw}$	0			ns
$\overline{CS}$ falling to DATA valid	$RD/\overline{WR}$ high (reading) $t_{csddr}$			35	ns
$\overline{CS}$ rising to DATA Hi-Z	$RD/\overline{WR}$ high (reading) $t_{csdhr}$	5			ns



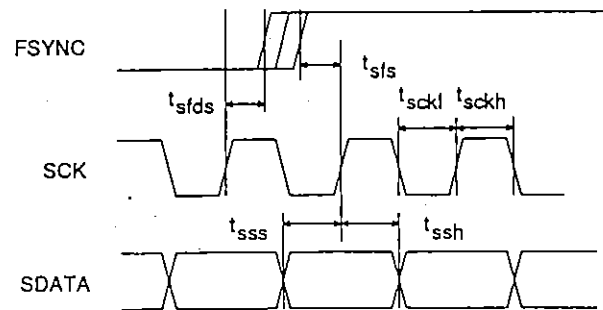
CS8401A Parallel Port Timing

**SWITCHING CHARACTERISTICS - SERIAL PORTS**

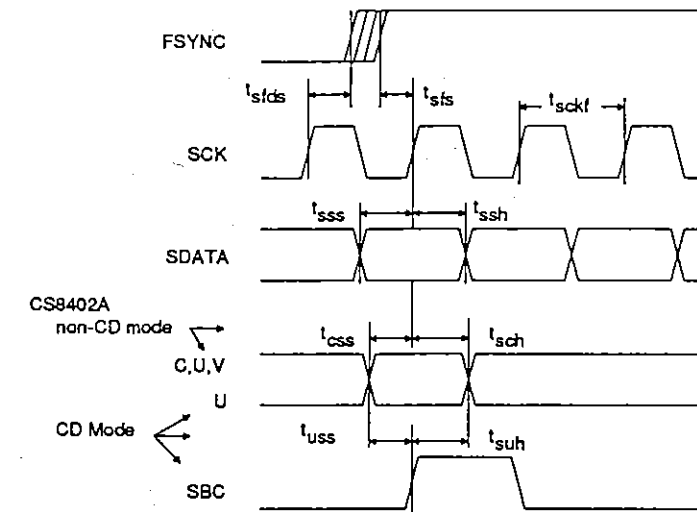
( $T_A = 25\text{ }^\circ\text{C}$  for suffixes '-CP' and '-CS';  $T_A = -40$  to  $85\text{ }^\circ\text{C}$  for suffixes '-IP' and '-IS';  
Inputs: Logic 0 = GND, logic 1 =  $V_{D+}$ ;  $C_L = 20\text{ pF}$ )

Parameter	Symbol	Min	Typ	Max	Units
SCK Frequency Master Mode Notes 5,6 Slave Mode Note 6	$t_{sckf}$		IWRx64	12.5	Hz MHz
SCK Pulse Width Low Slave Mode Note 6	$t_{sckl}$	25			ns
SCK Pulse Width High Slave Mode Note 6	$t_{sckh}$	25			ns
SCK rising to FSYNC edge delay Notes 6,7	$t_{sfds}$	20			ns
SCK rising to FSYNC edge setup Notes 6,7	$t_{sfs}$	20			ns
SDATA valid to SCK rising setup Note 7	$t_{sss}$	20			ns
SCK rising to SDATA hold time Note 7	$t_{ssh}$	20			ns
C, U, V valid to SCK rising setup CS8402A non-CD Mode Notes, 7, 8	$t_{css}$	0			ns
SCK rising to C, U, V hold time CS8402A non-CD mode Notes 7, 8	$t_{scs}$	50			ns
U valid to SBC rising setup CS8402A, CD mode Note 8	$t_{uss}$	0			ns
SBC rising to U hold time CS8402A, CD mode Note 8	$t_{suh}$	80			ns
RST Pulse Width CS8402A		150			ns

- Notes:
- The input word rate, IWR, refers to the frequency at which stereo audio input samples are input to the part. (A stereo pair is two audio samples.) Therefore, in Master mode, there are always 32 SCK periods in one audio sample.
  - Master mode is defined as SCK and FSYNC being outputs. In Slave mode they are inputs. In the CS8401A, control reg. 3 bit 1, MSTR, selects master. In the CS8402A, only format 0 is master.
  - The table above assumes data is output on the falling edge and latched on the rising edge. In both parts the edge is selectable. The table is defined for the CS8401A with control reg. 3 bit 0, SCED, set to one, and for the CS8402A in formats 4 through 7. For the other formats, the table and figure edges must be reversed (ie. "rising" to "falling" and vice versa).
  - The diagrams show SBC rising coincident with the first rising edge of SCK after FSYNC transitions. This is true for all modes except FSF0 & 1 both equal 1 in the CS8401A, and format 4 in the CS8402A. In these modes SBC is delayed one full SCK period.



Serial Input Timing - Slave Mode



Serial Input Timing - Master Mode & C, U, V Port

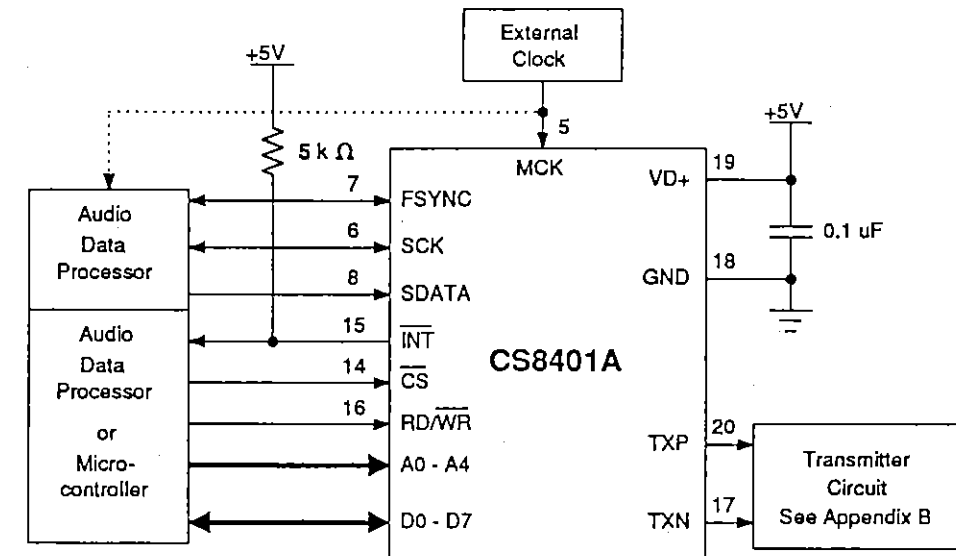


Figure 1. CS8401A Typical Connection Diagram

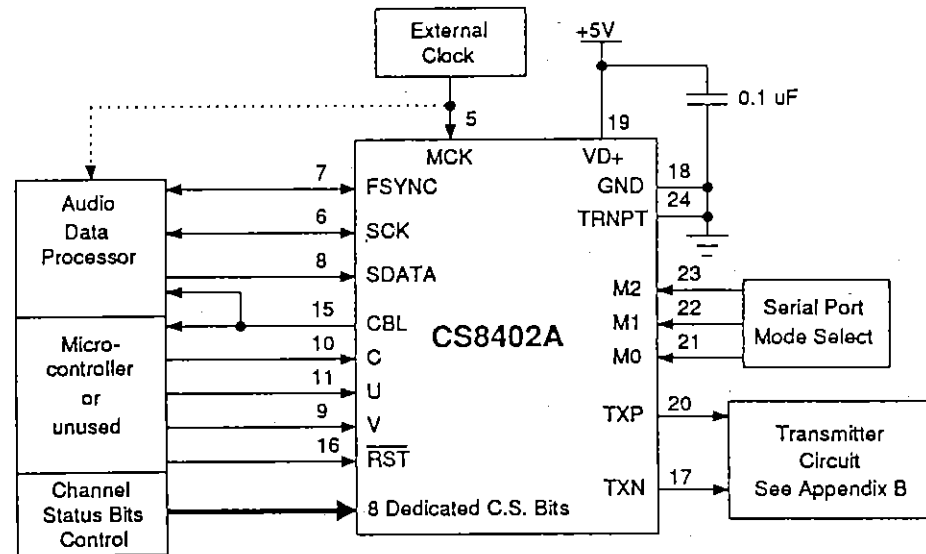


Figure 2. CS8402A Professional & Consumer Modes Typical Connection Diagram

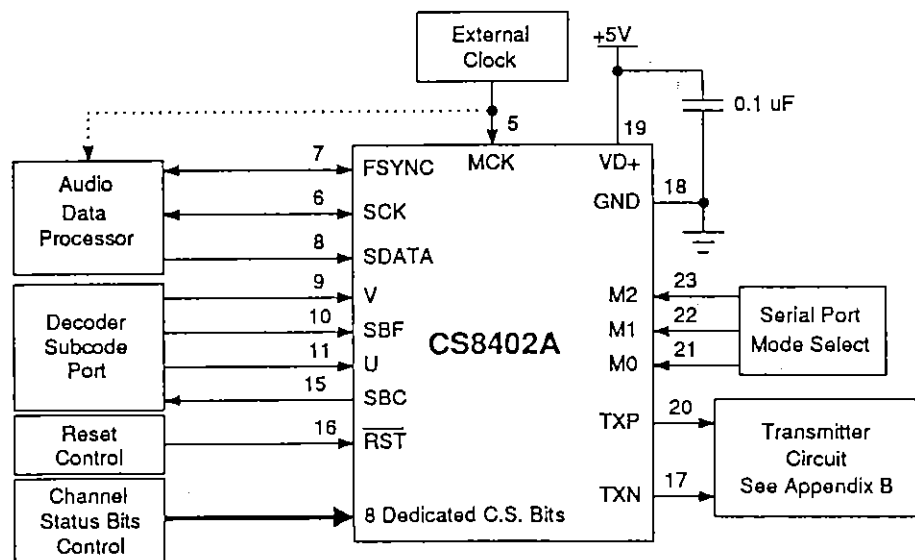


Figure 3. Consumer CD Submode Typical Connection Diagram

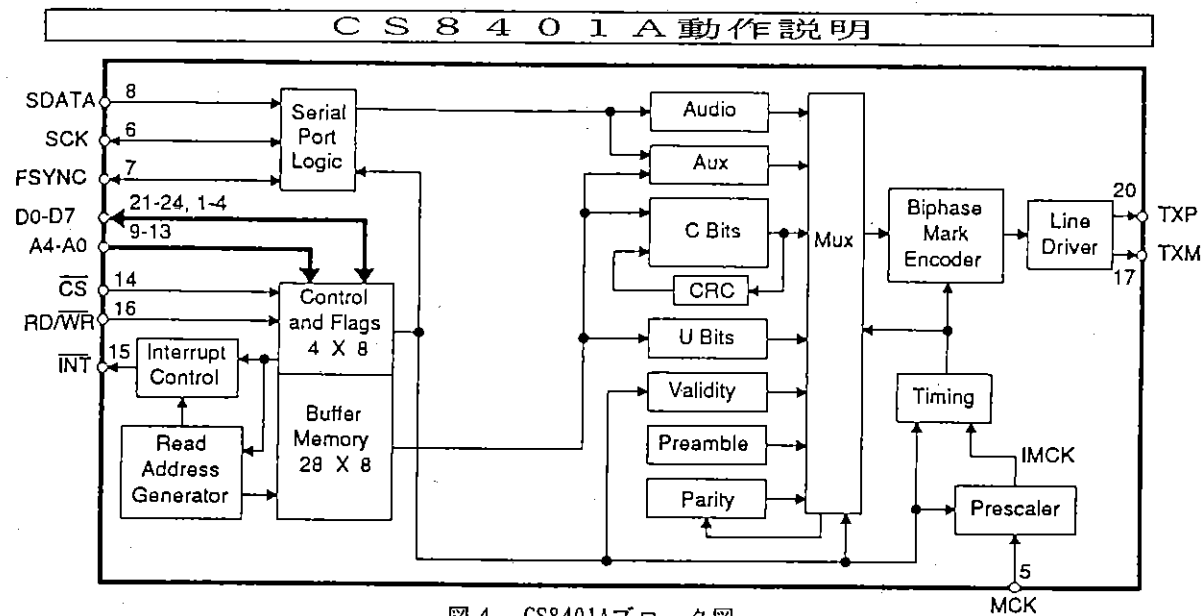


図 4. CS8401Aブロック図

CS8401Aはシリアルポートからオーディオ信号(16~24ビット)、8ビットパラレルポートを通してC、U、AUXデータを受信します。これらのデータはオーディオ信号と多重化され、パリティビットが発生されます。チャンネルステータス(C.S.)のプロ仕様に従い、CRCコード(23バイト)を内部で自動発生します。

\* CS8401はローカルサブモード(14~17バイト)とライブサブモード(22バイト)も自動発生します。

■ パラレルポート

パラレルポートから1個のステータスレジスタ、3個のコントロールレジスタおよび28バイトのデュアルポートバッファメモリをアクセスできます。バッファメモリの内容は図5に示されます。

■ ステータス/コントロールレジスタ

電源投入時コントロールレジスタのデータは全て"0"で、内部はリセット状態になり、出力はミュートされます。データを送信する前にコントロールレジスタ2のRSTとMUTEビットに"1"を書き込む必要があります。ステータスレジスタは図6に示されます。

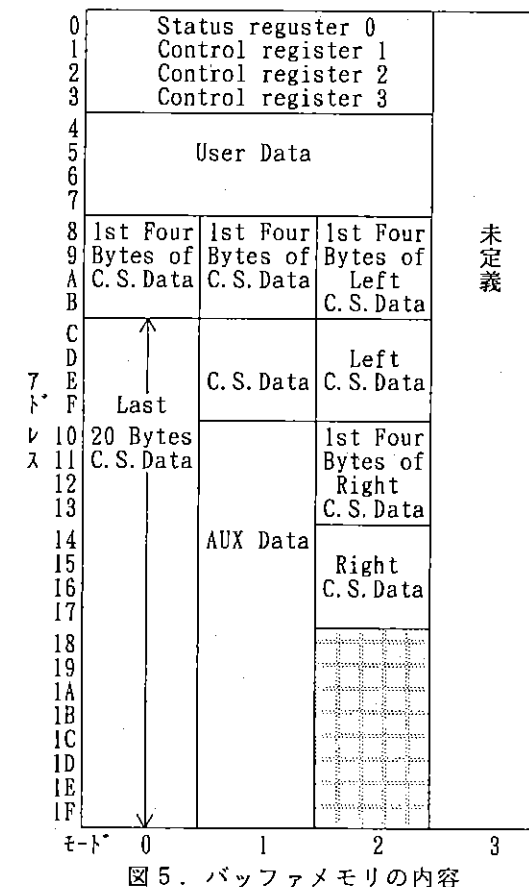


図 5. バッファメモリの内容



バッファメモリの送信ポインタを示すフラグ (図11参照)

FLAG2: チャネルステータス(C.S.)の最初の4ビット間"H"

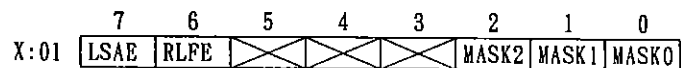
FLAG1: モードで変わる

FLAG0: ユーザーデータの後半2ビット間"H"

図6. ステータスレジスタ

上記のフラグはデータを読み出す送信ポインタとバッファメモリを更新するタイミングとの競合を避けるために使われます。送信中のバイトの位置を知らせる他にこのフラグはアドレッシング中のメモリブロックを示します。それによってどのブロックが書き込み可能であることをユーザに知らせます。各フラグは対応するマスクビット(コントロールレジスタ1)を一個もち、マスクビットがセットされるとフラグのエッジでINTピンにパルスが発生します。フラグ0と1は"↑","↓"の両エッジで割り込みが起り、フラグ2は"↑"のみで起こります。この他コントロールレジスタ1には重要なビットが2つあります。

[CS8401]



LSAE: ローカル・サンプル・アドレス・イネーブル(モードのみ)。民生モードでは"0"にする。

RLFPE: リアライブ・リタイア・イネーブル(モードのみ)。民生モードでは"0"にする。

MASK2: FLAG2に対する割り込みマスク。"1"で割り込みをイネーブルする。

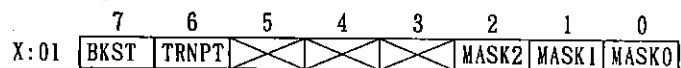
MASK1: FLAG1に対する割り込みマスク。"1"で割り込みをイネーブルする。

MASK0: FLAG0に対する割り込みマスク。"1"で割り込みをイネーブルする。

図7. コントロールレジスタ1 (CS8401)

LASEとRLFPEはプロモードでのみ有効です。LASEが"L"のときローカル・サンプル・カウンタがリセットされます。"H"のときカウンタの内容がC.S.のバイト14~17に送信され、カウンタは各ブロックの最後でインクリメントされます。

[CS8401A]



BKST: "1"でデータブロックのアラインメントを行う。

TRNPT: "1"でトランスポートモードになる。

MASK2: FLAG2に対する割り込みマスク。"1"で割り込みをイネーブルする。

MASK1: FLAG1に対する割り込みマスク。"1"で割り込みをイネーブルする。

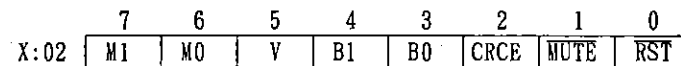
MASK0: FLAG0に対する割り込みマスク。"1"で割り込みをイネーブルする。

図7. コントロールレジスタ1 (CS8401A)

トランスペアレントモードはオーディオ信号の受信/送信間でフレームアラインメントを維持する必要がある用途に使われます。このモード(TRNPT="1")ではCS8401AのMCK, FSYNC, SCKとSDATA入力はCS8411の対応する出力に接続されます。FSYNCはトランスミッタとレシーバを同期させます。CS8401Aのデータの遅延はCS8411の入力からCS8401Aの出力までが3フレームの遅延になるようにセットされます。サブフレームあたり32個のSCKが必要です。

CS8411とCS8401A間のC.S.ブロックのアラインメントはCS8411のFLAG2の"↑"でBKSTを"H"にセットすることで完了されます。FSYNCがL/R信号ならば、BKSTはフレーム毎にサンプルされ、FSYNCがワードクロックならば、サブフレーム毎に一回サンプルされます。BKSTの"↑"は(続いて2回起る内部サンプルに基づいて)C.S.ブロックの境界を先頭にリセットします。

図8に示されるコントロールレジスタ2は種々のシステムレベルのファンクションを含みます。



M1: } MCK周波数の選択

M0: }

V: 現サンプルのリアライブフラグ

B1: } バッファメモリモードの選択

B0: }

CRCE: チャネルステータス・CRC・イネーブル(モードのみ)。

MUTE: "0"のとき送信されるオーディオデータが"0"にセットされる。

RST: "0"のときドライバの正負出力がグランドになり、フレームカウンタがクリアされる。

\* MUTE, RSTは電源投入時"0"にセットされる。

図8. コントロールレジスタ2

M1	M0	MCK
0	0	128fs
0	1	192fs
1	0	256fs
1	1	384fs

表1. MCK周波数

B1	B0	モード	バッファメモリの内容
0	0	0	チャネルステータス(C.S.)
0	1	1	AUXデータ
1	0	2	L/R独立C.S.
1	1	3	予備

表2. バッファメモリモード

CRCEが"H"のときC.S.データのCRCCがチャンネルA, Bに無関係に発生され、C.S.ブロックの最後で送信されます。

RSTが"L"のときドライバの正負出力がグランドにセットされ、ブロックカウンタはリセットされ、ブロックの先頭を示します。CS8401Aのリセットをオーディオシリアルポートに正しく同期させるためにステータスレジスタのフラグを含む送信タイミングカウンタは、RSTが"H"にセットされた後FSYNCのエッジ(リセット解除後の最初のエッジ)から8.5\*SCK周期後イネーブルされます(付録B参照)。



SDF2: }

SDF1: } シリアルデータフォーマットの選択

SDF0: }

FSF1: } FSYNCフォーマットの選択

FSF0: }

MSTR: "1"のときSCKとFSYNCは出力。"0"のとき入力。

SCED: "1"のときSDATAはSCKの"↑"でラッチ。"0"のとき"↓"でラッチ。

図9. コントロールレジスタ3

コントロールレジスタ3はシリアルオーディオチャンネルのフォーマットを決定します。FSYNCがL/R信号になるとき(FSF1=1)、カウンタとフラグはRchのサンプルが入力されるまで(このときLchのサンプルを送信中)イネーブルされません。デジタルオーディオインタフェースは仕様通りチャンネルAがLch、チャンネルBがRchです。

■ シリアルポート

フォーマットの中でMSB FirstとMSB Lastは16~24ビットまでのオーディオデータを入力できます。スレーブモードではビット長は1サンプル毎のSCK周期で決まります。SCK周期が24より大きい場合、データが24ビット未満ならば"0"を追加して下さい。後詰めフォーマットの場合、SCK周期は最低ビット数分必要です。マスターモードではSCK周期はサンプル毎に32です。

FSYNCはMCKと同期する必要があります。FSYNCがMCKに対して4\*MCK周期以上動いた場合(ジッタ等のため)、CS8401AはC.S.ブロックとフラグをリセットする可能性があります。(詳細は付録B)

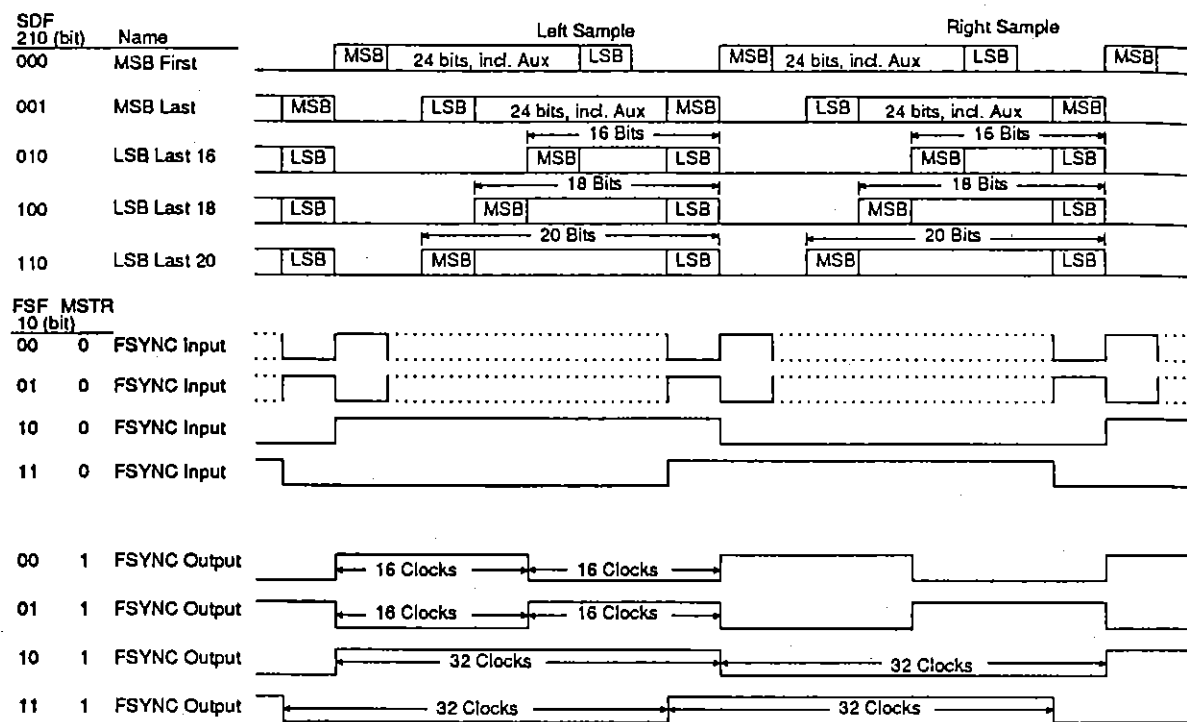


図10. シリアルポート SDATA & FSYNC タイミング

■ バッファメモリ

図5に4個のレジスタと各データのアロケーションを示します。データバッファは内部で読み出していないときはいつでもアクセスすることができます。内部読み出しはバッファの2番目ポートから周期的に行われます。アクセス可能なユーザーデータは先頭から4バイト(32ビット)です。

リセットは内部ポインタを04H(Hex)に初期化します。データは04Hから読み出され、8ビットシフトレジスタにストアされます。このレジスタはオーディオサンプル毎に一度シフトされます。(ここでオーディオサンプルは1chでステレオではありません)。このバイトはLSBファースト(D0先頭)で送信されます。8サンプル(即ち8ユーザービット)を送信後、アドレスポインタがインクリメントされ、ユーザーデータの次のバイトがシフトレジスタにロードされます。全4バイト送信後、ユーザーリードポインタは04H(Hex)にリセットされ、このサイクルを繰り返します。

ステータスレジスタのFLAG0は内部ユーザーデータのリードポインタの位置をモニタします。最初のバイト(04H)が読み出されると、FLAG0は"0"にセットされ、3番目のバイト(06H)が読み出されると"1"になります。コントロールレジスタ1のMASK0が"1"にセットされると、FLAG0のエッジでINTピンに"L"パルスが出力されます(図12)。FLAG0の値はデバイスが次にどちらの2バイトを読み出すかを示します。それにより、どちらの2バイトがアクセス可能かがわかります。

FLAG1はバッファモードに依存しており、各バッファモードの項を参照して下さい。

FLAG2はC.S.のバイト0(08H)が読み出される時"1"にセットされ、バイト4(0BH)が読み出される時"0"にセットされます。そのためFLAG2の"1"はデバイスがC.S.の最初の4バイトを読み出していることを示しており、残りの20バイトは更新可能であることがわかります。MASK2が"1"にセットされるとき、FLAG2の"1"はINT信号を出力し、C.S.ブロックの先頭を示します(図11)。

図11もプリアンプルの部分は図15に詳細があり、フラグ、INT信号と内部バッファリードタイミング間の正確なタイミングを示しています。

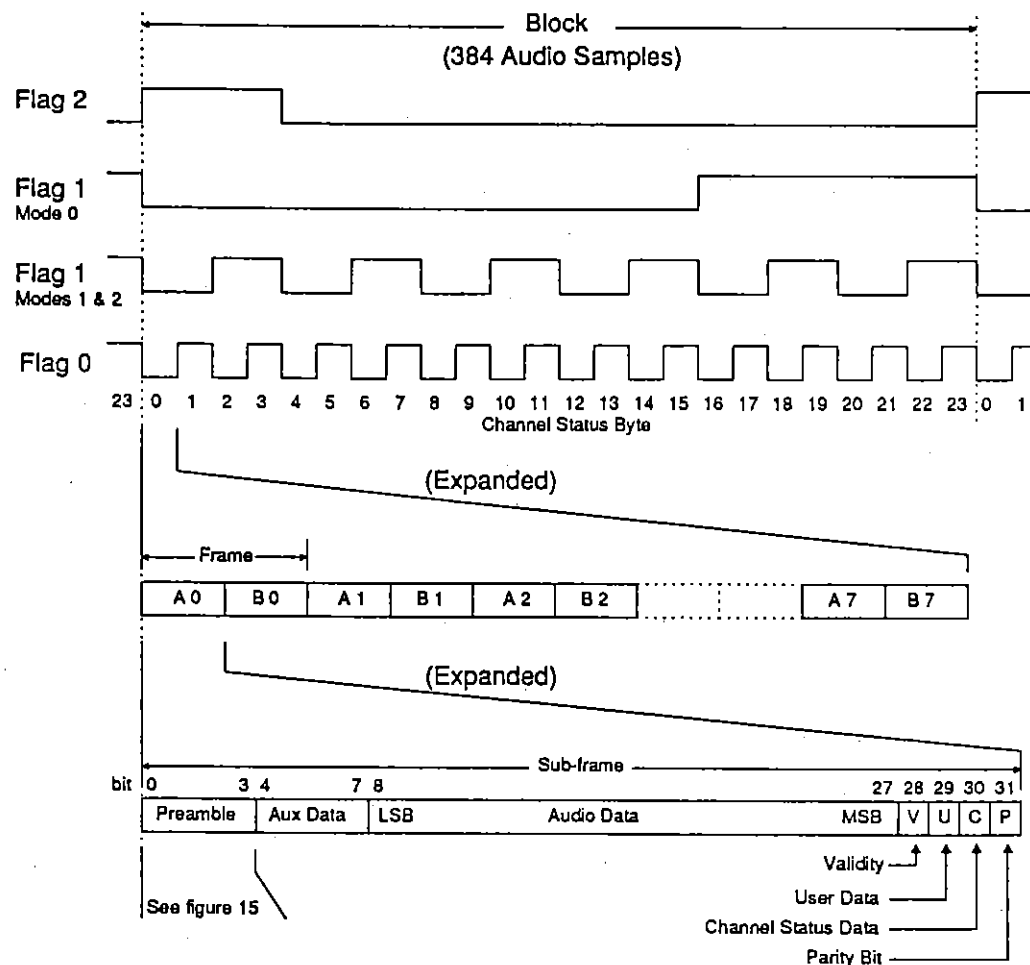


図11. ステータスレジスタ・フラグ・タイミング

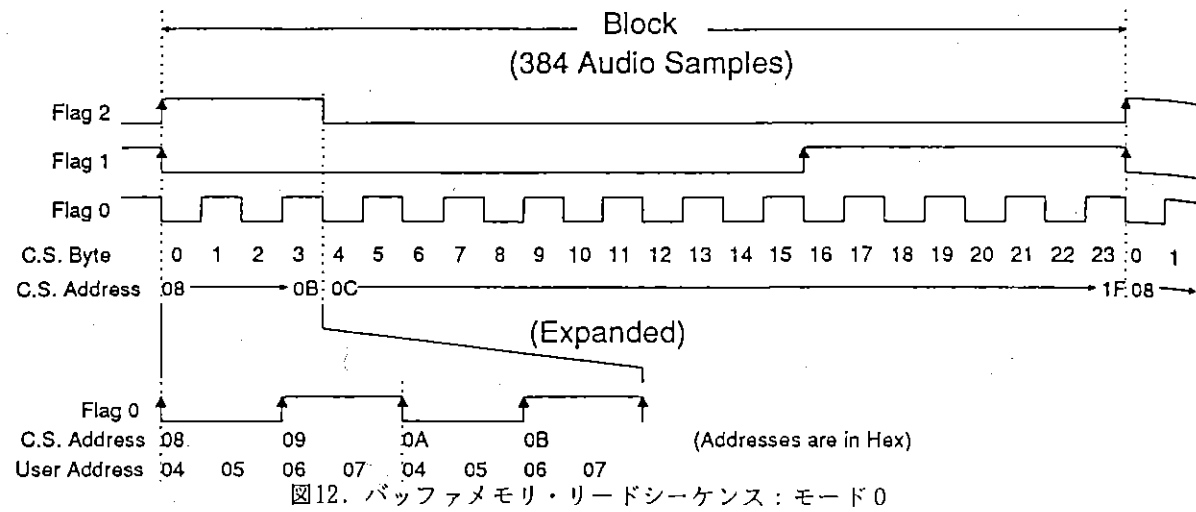


図12. バッファメモリ・リードシーケンス：モード0

■ バッファモード1

モード0と同様送信されるC.S. データはch. Aとch. Bで同じです(1フレームにC.S. ビットは1個)。FLAG1とFLAG2がこのバッファのモニタに使われます。FLAG1はC.S. データのバイト0(08H)が読み出される時"0"です。図13に示されるようにFLAG2はバイト0(08H)の読み出しで"1"、バイト4(0CH)の読み出しで"0"です。FLAG2はC.S. ポインタが先頭の4バイトを読み出しているのかまたは2番目の4バイトを読み出しているのかを示します。

AUXデータバッファは10H~1FHに配置され、データバッファと同様に周期的に読み出されます。しかしながら、4個のAUXビットはオーディオサンプル(サブフレーム)毎に送信されます。AUXバッファはユーザデータの4倍の回数読み出され、4倍大きくなるのでFLAG0も使用してモニタします。

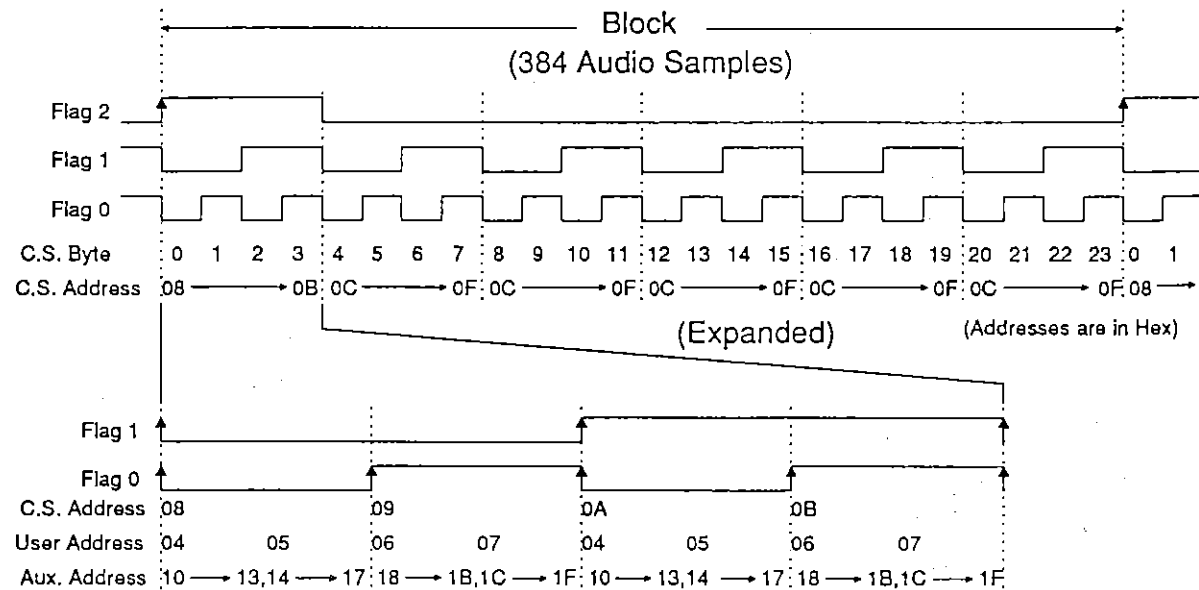


図13. バッファメモリ・リードシーケンス：モード1

■ バッファモード2

このモードでは2個の8バイトバッファはch. Aとch. BのC.S. データを別々にバッファリングすることができます。両バッファは各chがそれぞれC.S. データをもつことができることを除くとモード1のC.S. バッファを同じ動作です。

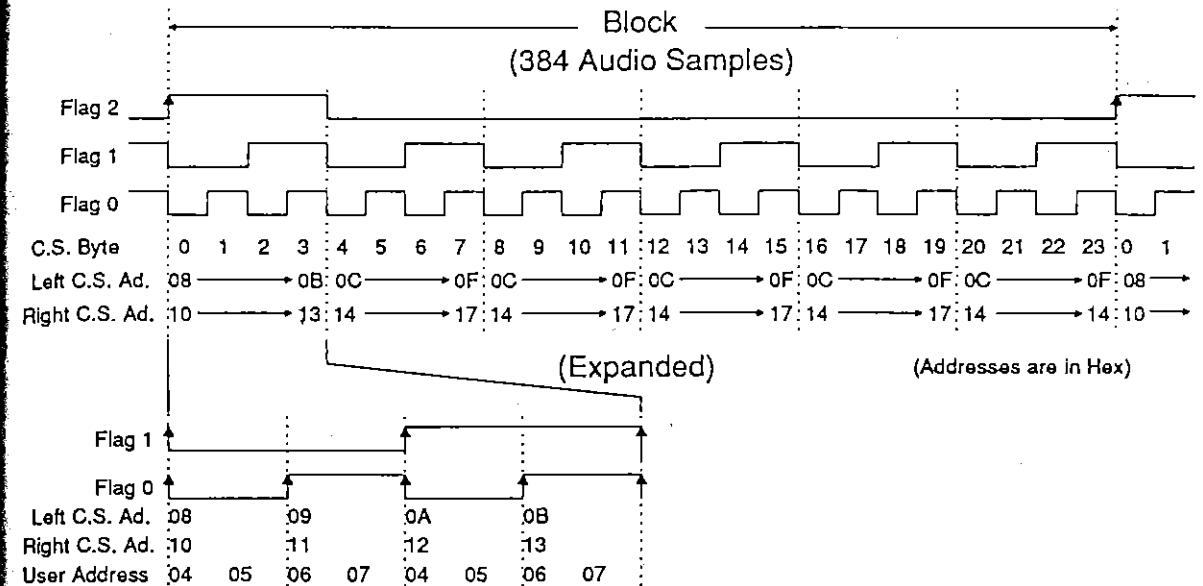


図14. バッファメモリ・リードシーケンス：モード2

■ バッファリードと割り込みタイミング

バッファRAMへの外部からの書き込みと送信するために内部のRAMからデータを読み出すときの競合はフラグを使ってアドレスされている部分避けることで防ぐことができます。フラグのエッジで出力されるINT信号はデバイスが読み出し中のバイトを的確に示します。図15はフラグ、INTと内部読み出しとの間のタイミングを示します。IMCKは内部マスタクロックで128fsです。128fs以外のMCK周波数は内部で128fsまで分周されます。パリティビット(P)が送信される時、適当なマスクビットがセットされるとフラグのエッジでINT信号が"L"になります。同時にデバイスは内部バッファから読み出しを開始します。内部"RAM Read"信号が"H"のときはデバイスによって読み出されるバッファRAMアドレスへの書き込みは避けて下さい。

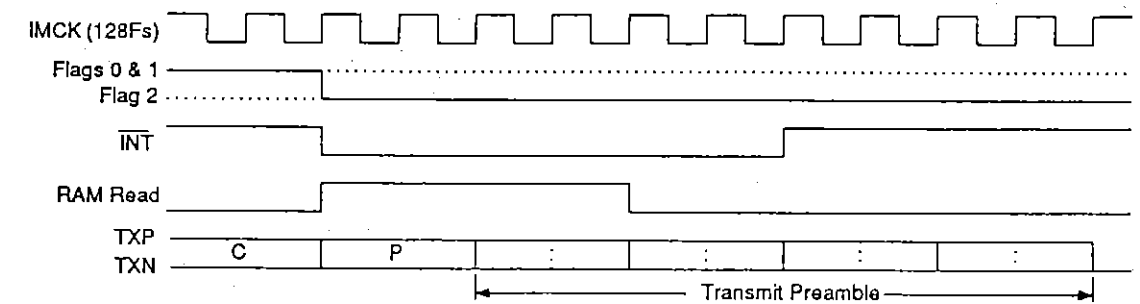
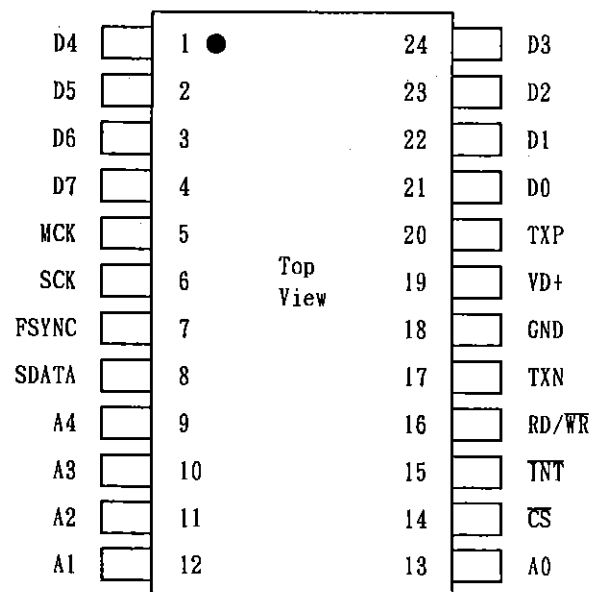


図15. RAM/バッファ・リード・割り込みタイミング



■ ピン配置



■ ピン機能

ピン番号	ピン名称	I/O	機能
21~24	D0~D3	I/O	データバスピン
1~4	D4~D7		
5	MCK	I	マスタクロックピン
6	SCK	I/O	シリアルクロックピン
7	FSYNC	I/O	フレームシンクピン
8	SDATA	I	シリアルデータピン
9~13	A4~A0	I	アドレスバスピン
14	CS	I	チップセレクトピン
15	TNT	I	インタラプトピン 内部バッファの状態を示すオープンドレイン出力です。 通常5kΩでVD+にプルアップして下さい。
16	RD/WR	I	リード/ライトピン "L"のときCS="L"で内部メモリにデータを書き込みます。 "H"のときCS="L"で内部メモリからデータを読み出します
17	TXN	O	差動ラインドライバピン
20	TXP		RS422互換
18	GND	-	グラウンドピン
19	VD+	-	電源ピン, +5V

CS8402A動作説明

CS8402Aは7種類のフォーマットをもつシリアルポートからオーディオ信号(16~24ビット)受信します。また、シリアルポートからC,U,Vビットを入力でき、特定のCビットについては別にピンを用意しています。これらのデータはオーディオ信号と多重化され、パリティビットが発生されます。

CS8402Aはプロ用と民生用のインタフェースをもち、PROピン(ピン2)によって選択します。プロモードではチャンネルステータス(C.S.)の仕様に従い専用ピンが定義され、CRCCコード(23バイト)を内部で自動発生します。さらにトランスペアレントモードをサポートします。

\* CS8402はローカルサンプリング(14~17ビット)とリアティブリファクタ(22ビット)も自動発生しますが、トランスペアレントモードはサポートしません。

民生モードではチャンネルステータス(C.S.)の仕様に従い専用ピンが定義されます。民生モードではサブモードとしてCDモードが提供されます。CDプレーヤからデータを送信するとき、C.S.サブコードポートはCDサブコードデータ(特別なC.S.情報)を受信でき、ユーザデータとして送信します。

■ オーディオシリアルポート

シリアルポートはダブルバッファになっており、表3と図16に示される7種類のフォーマットをサポートします。フォーマット0のみFSYNCとSCKが出力になり、SCK周期はサンプル毎に32です。フォーマット2ではFSYNCの"H"または"L"の期間は少なくとも1\*SCK周期分は必要です。フォーマット5と6以外は16~24ビットのデータを受信できます。

スレーブモードではビット長は1サンプル毎のSCK周期で決まります。SCK周期が24より大きい場合、データが24ビット未満ならば"0"を追加して下さい。後詰めのフォーマットの場合、SCK周期は最低ビット数分必要です。マスタモードではSCK周期はサンプル毎に32です。

M2	M1	M0	コメント
0	0	0	0-FSYNC & SCK 出力
0	0	1	1-L/R, 前詰め 16-24ビット
0	1	0	2-Word Sync, 前詰め 16-24ビット
0	1	1	3-予備
1	0	0	4-L/R, I <sup>2</sup> S互換
1	0	1	5-MSBファースト, 後詰め 16ビット
1	1	0	6-MSBファースト, 後詰め 18ビット
1	1	1	7-LSBファースト, 後詰め 16-24ビット

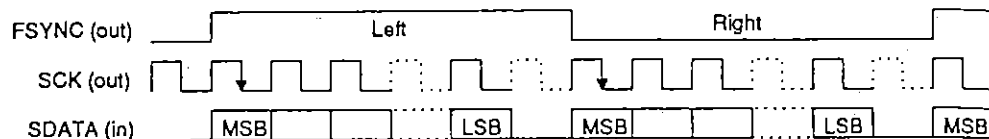
表3. CS8402Aオーディオポートモード

FSYNCはMCKと同期する必要があります。FSYNCがMCKに対して4\*MCK周期以上動いた場合(ジッタ等のため)、内部カウンタとCBLをリセットする可能性があります。(詳細は付録B)

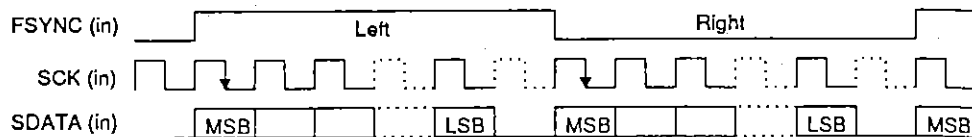
■ C,U,Vシリアルポート

フォーマット4を除いてC,U,VビットはFSYNCのエッジでサンプルされます。フォーマット4ではFSYN Cのエッジから2番目のビットでサンプルされます。図16のSCKの矢印はC,U,Vビットがサンプルされるタイミングを示しています。FSYNCのエッジでサンプルされたC,U,VビットはFSYNCエッジの直前に入力されたオーディオサンプルと一緒に送信されます。規格で定義されたVビットは、オーディオデータをアナログに変換してもよいとき"0"にセットされます。それ故、オーディオデータがエラーを起こしたとき、またはデータが非オーディオであるとき"1"にセットされなければいけません。民生モードでCDサブコードポートがイネーブルされているとき(FCI=FCO="1")、C入力は使えません。Cピンから入力される全てのC.S.データは専用ピンから入力されるデータまたは内部発生されるデータと論理的に"OR"がとられます。

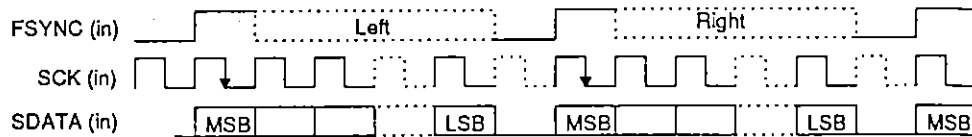
**FORMAT 0:**



**FORMAT 1:**



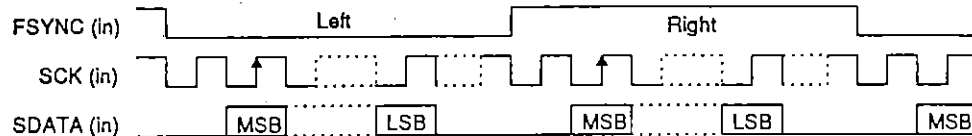
**FORMAT 2:**



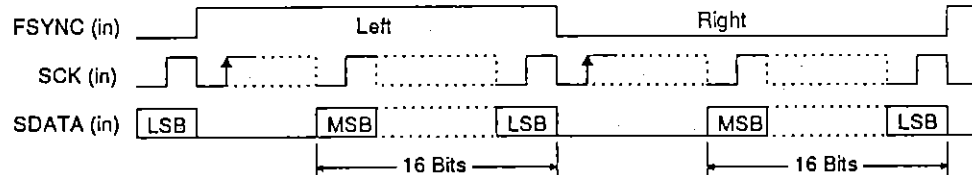
**FORMAT 3:**

(RESERVED)

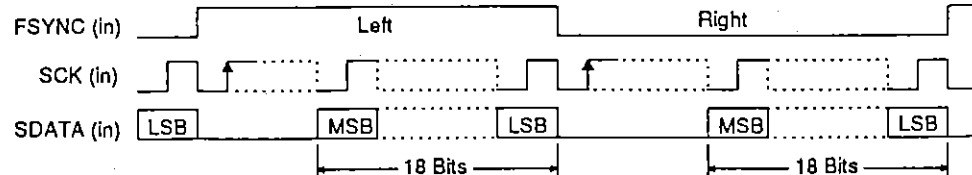
**FORMAT 4:**



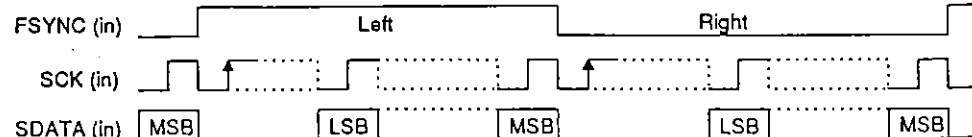
**FORMAT 5:**



**FORMAT 6:**



**FORMAT 7:**



Arrows indicate where C, U, and V bits are latched

図16. CS8402Aオーディオポートフォーマット

■ RSTとCBL (TRNPT="L")

RSTが"L"のとき、正・負ラインドライバはグランドにセットされ、ブロックカウンタが最初のブロックの先頭にリセットされます。CS8402Aをオーディオシリアルポートに正しく同期させるためにCBLを含む送信タイミングカウンタは、RSTが"H"にセットされた後FSYNCのエッジ（リセット解除後の最初のエッジ）から8.5\*SCK周期後イネーブルされます（付録B参照）。フォーマット2を除くとFSYNCはL/R信号になっており、カウンタとCBLはRchのサンプルが入力されるまで（このときLchのサンプルを送信中）イネーブルされません。デジタルオーディオインタフェースの仕様通りチャンネルAがLch、チャンネルBがRchです。

図17に示されるようにCBL（チャンネルブロックスタート）出力はC.S.ブロックの最初のサブフレームのプリアンプルの1ビット目が送信される1ビット前に"H"になります。そのためC,U,Vビットのシリアル入力の補助になります。このサブフレームはC.S.のバイト0のビット0を含みます。CBLはC.S.バイト16のビット0を含むフレームの先頭から1ビット前で"L"に戻ります。CBLはCS8401Aのモード0のFLAG1を反転したものです（図11参照）。CBLはCDサブコードポートがイネーブルのとき使用できません。

Rchデータ（Right0）が入力されているときCBLがどのように立ち上がっているかを注意して下さい。一つ前のLchデータ（Left0）がC.S.の最初のサブフレーム（プリアンプルZで始まっている）として送信されています。C,U,V入力ポートはFSYNCの変化後、短時間確定していれば十分です。1フレームはステレオデータを含み、サブフレームは1オーディオサンプルを含みます。1C.S.ブロックは24バイトのC.S.と384個のオーディオサンプル（192のステレオペア）を含みます。

図17はCUVポートがLchビットとRchビット（例えば、CUV0L, CUV0R）をもつとして示しています。C.S.ブロックは192ビットまたはフレームあたり1ビットで定義されます。実際には2個のC.S.ブロック（AchブロックとBchブロック）があります。ステレオオーディオデータを入力しているときは、両ブロックは通常同じ情報です。そのため入力ピンからのCOLとCORはどちらもC.S.のバイト0のビット0（プロ/民生）です。PROピンはC.S.のビット0として定義されるC.S.専用ピンなので、これらのポートからの最初の2ビット（COL, COR）はPROピンの反転と論理的に"OR"がとられます。

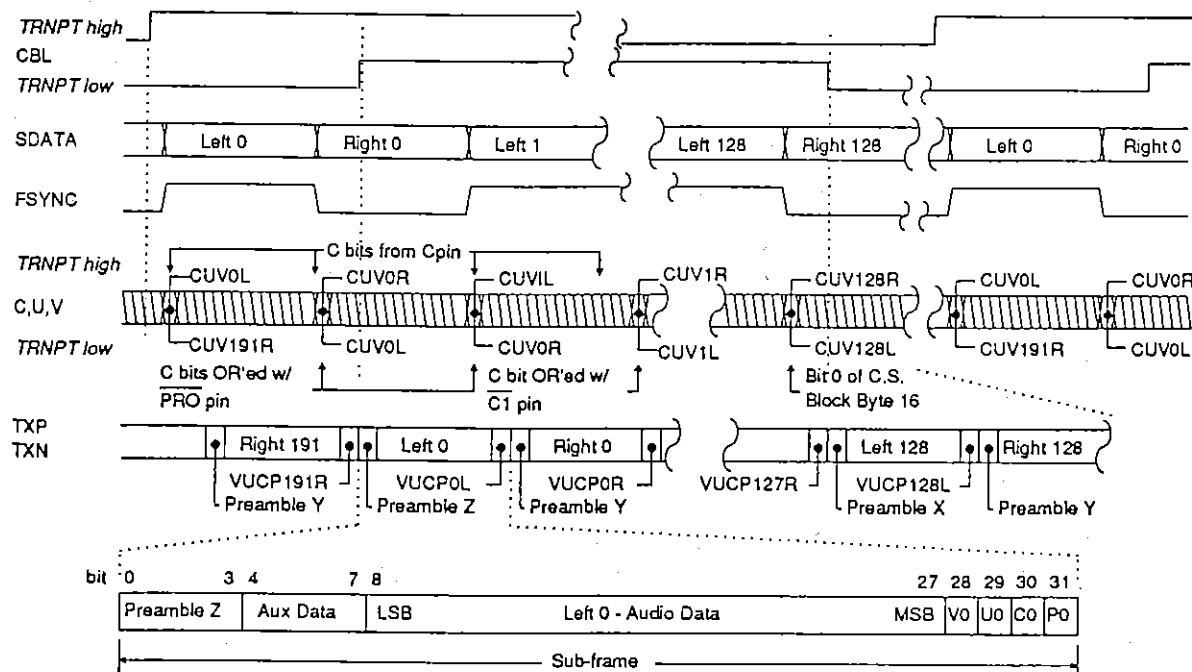


図17. CBLと送信タイミング

■ トランスペアレントモード (CS8402Aのみサポート)

用途によってはCS8412で受信したデジタルオーディオデータをCS8401Aで送信する要求があります。この場合、C, U, Vの情報に変更なしに通過させる必要があります。スタジオ環境ではAESは信号タイミング同期がスタジオの外でも維持されることを推奨しています。デジタルオーディオ信号のフレーム同期はシステムへの入力から出力までが±5%以内にならなければなりません。

CS8402AのトランスペアレントモードはTRNPTピンを"H"にすると選択されます。このモードではCBLピンは入力になり、図18のようにCS8412の出力をCS8402Aの入力にダイレクトに接続すること可能です。トランスミッタとレシーバはFSYNC信号で同期がとられます。CBLは新しいC.Sブロックの始まりを示しており、トランスミッタをレシーバのブロック構造に従うことを可能にします。トランスペアレントモードではC, U, Vは図17のTRNPT Highのようにオーディオサンプルと同時に送信され、専用のC.S.ピンの入力は無視されます。また、CS8402Aを通じたデータの伝搬遅延はCS8412の受信からCS8402Aの送信までの全伝搬遅延が3フレームになるようにセットされます。

LchのC, U, Vがサンプルされる時CBLがサンプルされます。C.S.ブロックはCBL"↑"でリセットされます。CS8402AのMCKは通常128fsが要求されますがトランスペアレントモードでは256fsでなければいけません。

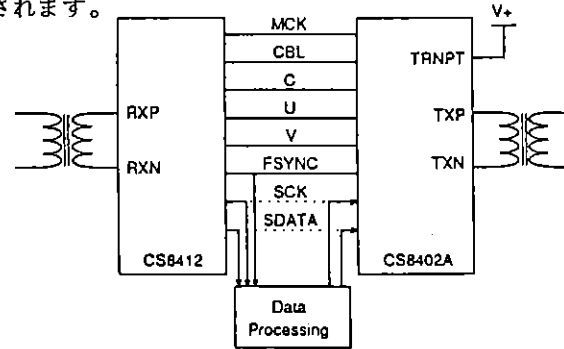


図18. トランスペアレントモード

■ プロモード

RPOを"L"にするとCS8402Aはプロモードになります(図19)。このときC.S.ビット0は"1"でビット1, 2, 3, 4, 6, 7, 9は専用のピンでコントロールされます。各ピンの符号は反転して入力されます。例えば、C1ピンを"L"にするとC.S.ビット1は"1"になります。

各C.S.ビットの内容は

- C1: オーディオ(0)/非オーディオ(1)
- C6, C7: サンプル周波数
- C9: チャンネルモード

EM1	EM0	C2	C3	C4
0	0	1	1	1
0	1	1	1	0
1	0	1	0	0
1	1	0	0	0

表4. エンファシスの設定

CS8402ではCREピンが"H"のとき、ローカル・サンプル・アドレス(バイト14~17)、リライアビリティフラグ(バイト22)、CRCCコード(バイト23)を内部で発生します。ローカル・サンプル・アドレス・カウンタは5\*MCK間CREが"L"にされるとリセットされます。CREが"H"のとき、リライアビリティフラグのビット5, 7は"1"が送信され、ローカル・サンプル・アドレス・カウンタはC.S.ブロックの最後でインクリメントされます。

C.S.データのCRCC(バイト23)はチャンネルA, Bに無関係に常時発生され、C.S.ブロックの最後で送信されます。また、C入力データは内部発生されたデータと"OR"がとられるので、フレーム上のCRCCバイトの期間はC.S.ポート(Cピン)を通してデータは入力できません。CREが"H"のときはローカル・サンプル・アドレスとリライアビリティフラグの期間でCRCC同様、データの入力はできません。

\* CS8402AではCRCCの発生のみサポートします。

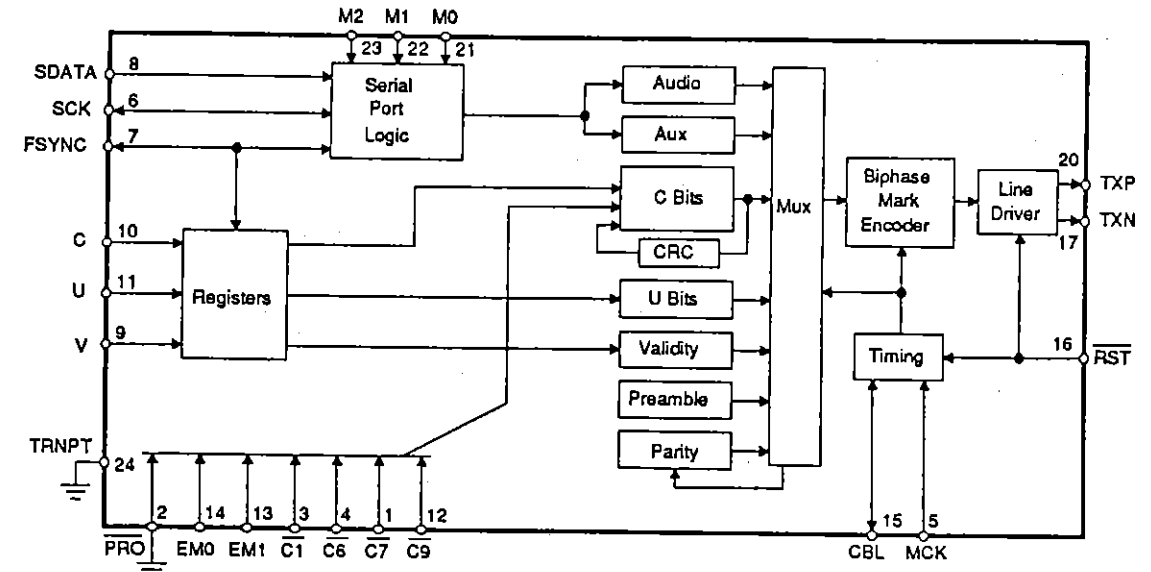


図19. CS8402Aブロック図-プロモード

■ 民生モード

RPOを"H"にするとCS8402Aは民生モードになります(図20)。このときC.S.ビット0は"0"でビット2, 3, 8, 9, 15, 24, 25は専用のピンでコントロールされます。各ピンの符号は反転して入力されます。例えば、C2ピンを"H"にするとC.S.ビット2は"0"になります。

各C.S.ビットの内容は

- C2: 1bit-禁止(0)/許可(1)
- C3: エンファシスOFF(0)/ON(1)
- C8, C9: カテゴリコード
- C15: 世代表示

FC1	FC0	C24	C25	周波数
0	0	0	0	44.1kHz
0	1	0	1	48kHz
1	0	1	1	32kHz
1	1	0	0	44.1kHz, CD Mode

表5. サンプル周波数の設定

■ 民生-CDサブモード

民生モードではFC1とFC0の両ピンを"H"にするとCDサブモードになります。このモードではC入力とCBL出力がサブコードポートSBC, SBFになります。U入力はサブコード入力になります。図22はCDサブコードポートのタイミングです。SBCが"L"のとき、SBCはFSYNCのエッジから0.5\*SCK周期後"H"になります(フォーマット4のみ1.5\*SCK)。このときSBCは1\*SCK周期分"H"です。SBCが16\*SBC周期以上"H"のときサブコードブロックの先頭を示します。

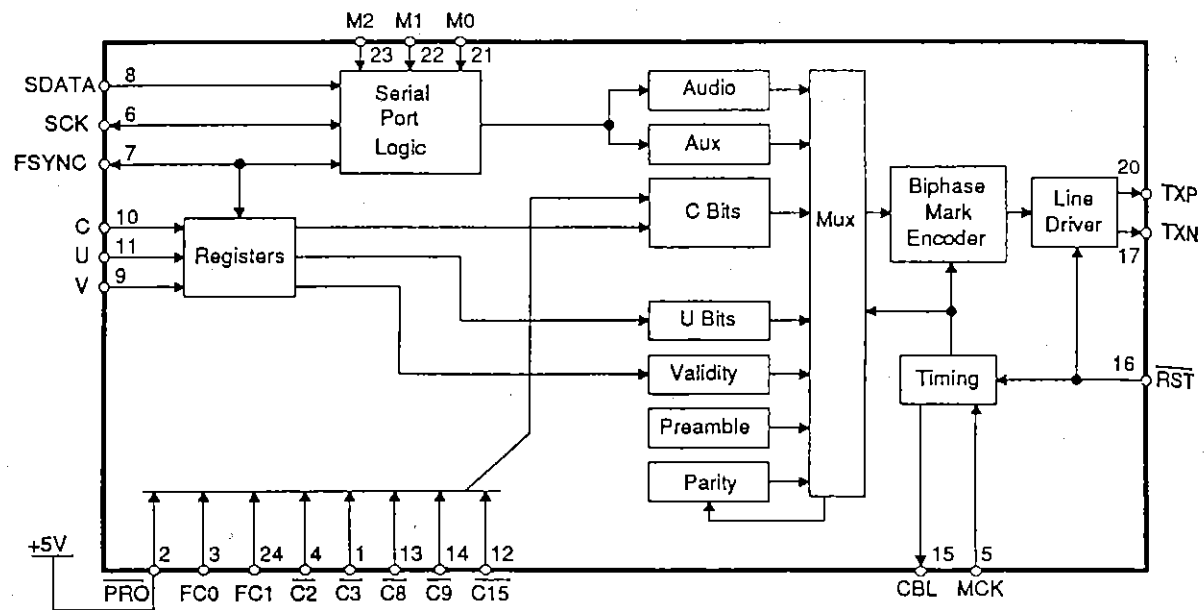


図20. CS8402Aブロック図-民生モード

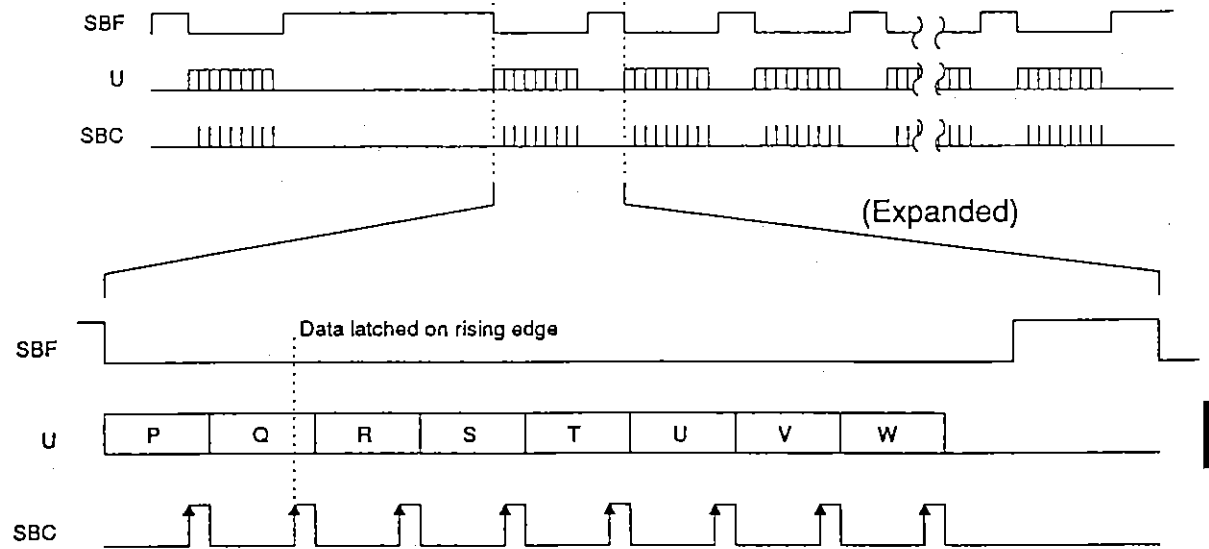


図22. CDサブコード・ポート・タイミング

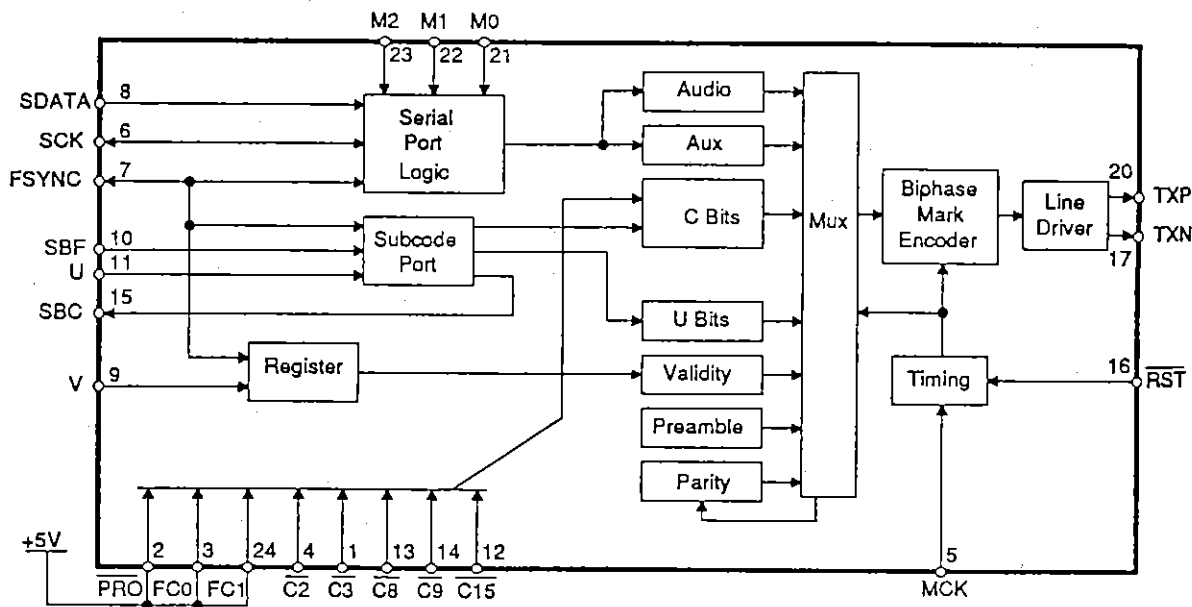
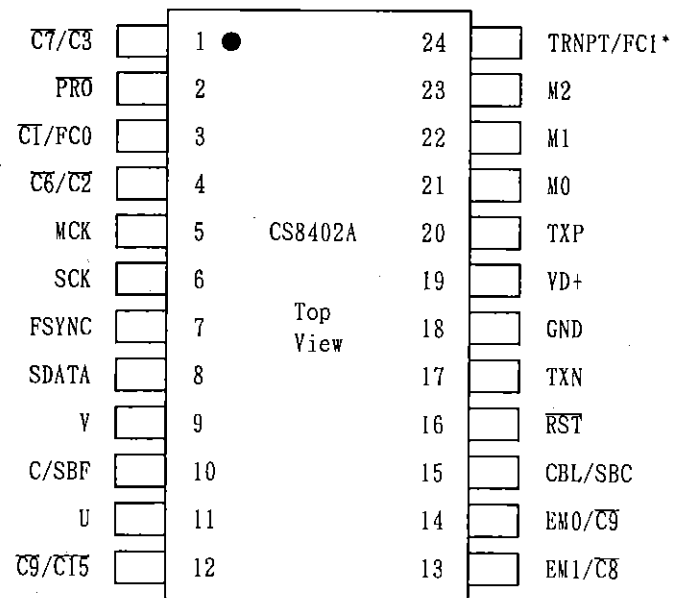


図21. CS8402Aブロック図-民生モード, CDサブモード

■ ピン配置



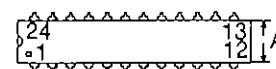
\* CS8402ではCRE/FC1.

■ ピン機能

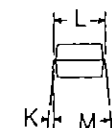
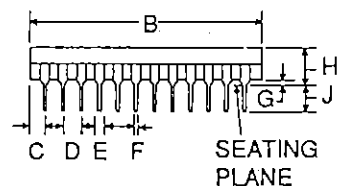
ピン番号	ピン名称	I/O	機能
1	C7/C3	I	C7/C3ピン
2	PRO	I	プロモードピン "L": プロモード, "H": 民生モード トランスペアレントモードではこのピンのレベルは無効です
3	C1/FC0	I	C1/FC0ピン
4	C6/C2	I	C6/C2ピン
5	MCK	I	マスタクロックピン 128fsのクロックを入力します。トランスペアレントモードでは256fsです。
6	SCK	I/O	シリアルクロックピン 出力時はオーディオサンプル毎に32クロック含まれます。
7	FSYNC	I/O	フレームシンクピン
8	SDATA	I	シリアルデータピン
9	V	I	バリディティ (V) ピン
10	C/SBF	I	C.S. ビット入力/サブコード・フレーム・クロックピン
11	U	I	ユーザ (U) ビットピン
12	C9/C15	I	C.S. ビット9/C.S. ビット15ピン
13	EM1/C8	I	エンファシス1/C.S. ビット8ピン
14	EM0/C9	I	エンファシス0/C.S. ビット9ピン
15	CBL/SBC	O	C.S. ブロック出力/サブコード・ビット・クロックピン
16	RST	I	マスタリセットピン
17	TXN	O	差動ラインドライバピン
20	TXP		RS422互換
18	GND	-	グラウンドピン
19	VD+	-	電源ピン, +5V
21~23	M0~M2	I	シリアルポート・モード選択ピン
24	TRNPT/FC1	I	トランスペアレントモード/FC1ピン プロモードではTRNPT="L"のとき通常動作が選択され、CBLは出力になります。"H"のときCS8402AはCS8412と直接接続できます。このときCBLは入力になり、MCKには256fsが必要です。民生モードでは周波数選択に使われます。
* 24	CRE/FC1	I	ローカル・サンプル・アドレス & リワイビリティ・フラグ・リセット/FC1ピン プロモード時、CREが"H"ならばローカル・サンプル・アドレス & リワイビリティ・フラグを内部発生します。民生モードでは周波数選択に使われます。

\* CS8402の場合

パッケージ



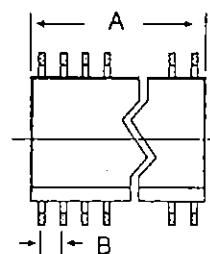
24 pin Plastic Skinny DIP



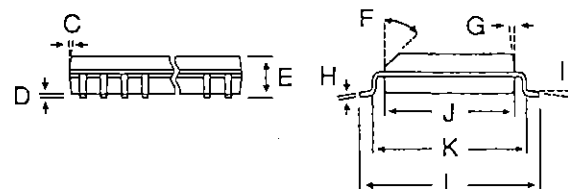
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	6.10	6.60	0.240	0.260
B	31.37	32.13	1.235	1.265
C	1.65	2.16	0.065	0.085
D	2.54 BSC		0.100 BSC	
E	1.02	1.52	0.040	0.060
F	0.36	0.56	0.014	0.022
G	0.51	1.02	0.020	0.040
H	3.94	4.57	0.155	0.180
J	2.92	3.43	0.115	0.135
K	0°	15°	0°	15°
L	7.62 BSC		0.300 BSC	
M	0.20	0.38	0.008	0.015

NOTES:

1. POSITIONAL TOLERANCE OF LEADS SHALL BE WITHIN 0.25MM (0.010") AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH.



24 pin SOIC



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.99	15.50	0.590	0.610
B	1.27 BSC		0.050 BSC	
C	7° NOM		7° NOM	
D	0.127	0.330	0.005	0.013
E	2.41	2.67	0.095	0.105
F	45° NOM		45° NOM	
G	7° NOM		7° NOM	
H	0.203	0.381	0.008	0.015
I	2° 8°		2° 8°	
J	7.42	7.59	0.292	0.298
K	8.76	9.02	0.345	0.355
L	10.16	10.67	0.400	0.420

Appendix A: RS422 Driver Information

The RS422 drivers on the CS8401A and CS8402A are designed to drive both the professional and consumer interfaces. The AES/EBU specification for professional/broadcast use calls for a 110Ω source impedance and a balanced drive capability. Since the transmitter impedance is very low, a 110Ω resistor should be placed in series with one of the transmit pins. (A 110Ω resistor in parallel with the transformer would, with the receiver impedance of 110Ω, provide a 55Ω load to the part which is too low.) The specifications call for a balanced output drive of 2-7 volts peak-to-peak into a 110Ω load with no cable attached. Using the circuit in Figure A1, the output of the transformer is short-circuit protected, has the proper source impedance, and provides a 5 volt peak-to-peak signal into a 110Ω load. Lastly, the two output pins should be attached to an XLR connector with male pins and a female shell, and with pin 1 of the connector grounded.

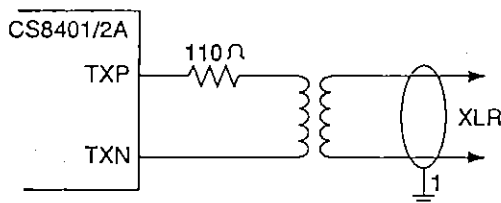


Figure A1. Professional Output Circuit

In the case of consumer use, the specifications call for an unbalanced drive circuit with an output impedance of 75Ω and a output drive level of 0.5 volts peak-to-peak ±20% when measured across a 75Ω load using no cable. The circuit

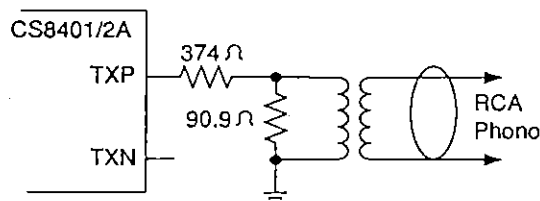


Figure A2. Consumer Output Circuit

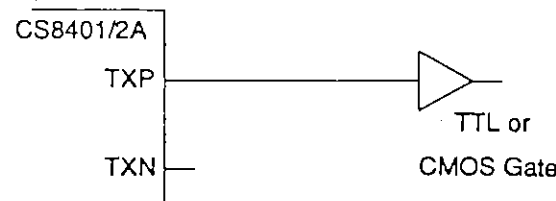


Figure A3. TTL/CMOS Output Circuit

shown in Figure A2 only uses the TXP pin and provides the proper output impedance and drive level using standard 1% resistors. The connector for consumer would be an RCA phono socket. This circuit is also short circuit protected.

The TXP pin may be used to drive TTL or CMOS gates as shown in Figure A3. This circuit may be used for optical connectors for digital audio since they are usually TTL compatible. This circuit is also useful when driving multiple digital audio outputs since RS422 line drivers have TTL interfaces.

The transformer should be capable of operating from 1.5 to 7 MHz, which is the audio data rate of 25 kHz to 55 kHz after biphase-mark encoding. Transformers provide isolation from ground loops, 60 Hz noise, and common mode noise and interference. One of the important considerations when choosing transformers is minimizing shunt capacitance between primary and secondary windings. The higher the shunt capacitance, the lower the isolation between primary and secondary, and the more coupling of high frequency energy. This energy appears in the form of common mode noise on the receive side ground and has the potential to degrade analog performance. Therefore, for best performance, shielded transformers optimized for minimum shunt capacitance should be used. The following are a few typical transformers:

Pulse Engineering  
Telecom Products Group  
7250 Convoy Ct.  
San Diego, CA 92111

(619) 268-2400  
Part Number: PE65612

Schott Corporation  
1000 Parkers Lane Rd.  
Wayzata, MN 55391  
(612) 475-1173  
FAX (612) 475-1786  
Part Number:

- 67125450 - compatible with Pulse
- 67128990 - lower cost
- 67129000 - surface mount
- 67129600 - single shield

Scientific Conversions Inc.  
2800 Third Street  
San Francisco, CA 94107  
(415) 821-6464  
Part Number: SC916-01 - single shield

Appendix B: MCK and FSYNC Relationship

FSYNC should be derived either directly or indirectly from MCK. The indirect case could be a DSP, providing FSYNC through its serial port, using the same master oscillator that generates MCK. In either case, FSYNC's relationship to MCK is fixed and does not move. Since this appendix provides information on what would happen if FSYNC did move with respect to MCK, it does not apply to the majority of users.

All internal timing is derived from MCK. On the CS8402A, MCK is always 128×Fs. On the CS8401A, the external MCK is programmable and is initially divided to 128×Fs before being used by the part. The internal clock IMCK used in the following discussion is always 128×Fs regardless of the external MCK pin.

After  $\overline{RST}$ , the CS8401A and CS8402A synchronize the internal timing to the audio data port, more specifically FSYNC, to guarantee that channel A is left channel data and channel B is right channel data as per the AES/EBU specification. If FSYNC moves with respect to IMCK, the transmitter could lose synchronization, which causes an internal reset.

Figure B1 shows the structure of the serial port input, to the transmitter output. The audio data is serially shifted into R1. PLD is an internal signal that parallel loads R1 into the R2 buffer, and, at the same time, the C, U, and V bits are latched. On the CS8401A, the C, U, and V bits are held in RAM, whereas on the CS8402A, they are latched from external pins. The PLD signal rises on the first SCK edge that can latch data. This is coincident with the latching of the MSB of audio data in MSB-first, left-justified modes. PLD stays high for one SCK period. In the CS8402A section, the arrows on SCK in Figure 16 indicate when PLD goes high. Also, SBC in the CS8402A CD submode is an external version of PLD gated by the SBF input.

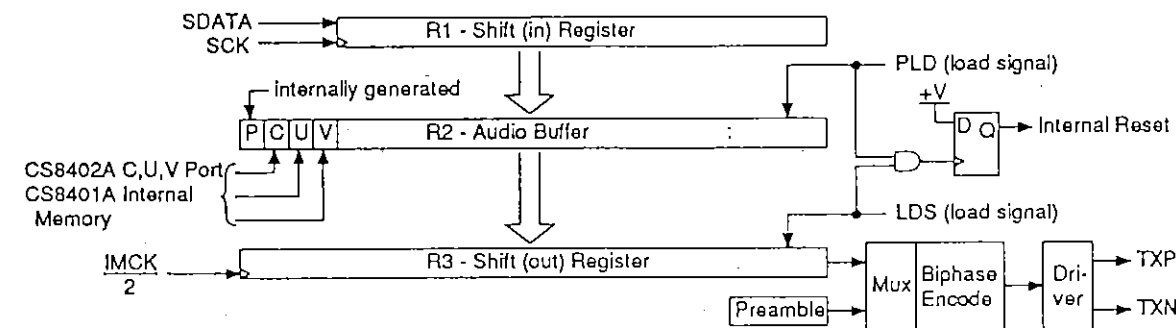


Figure B1. Serial Port-to-Transmitter Block Diagram

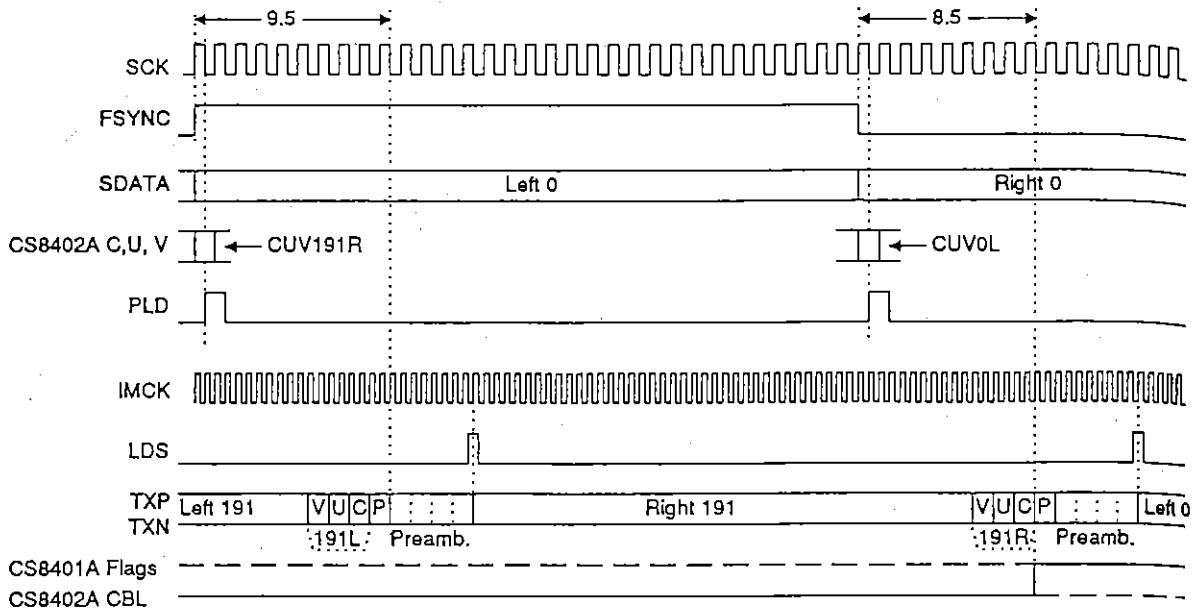


Figure B2. Serial Ports-to-Transmitter Timing

When the part is finished transmitting the preamble of a sub-frame, the internal signal LDS rises to parallel-load R2 into R3 for transmission. After  $\overline{RST}$ , the part synchronizes the audio port to IMCK as shown in Figure B2. Since PLD is based on FSYNC and LDS is based on

IMCK, if FSYNC moves with respect to IMCK until PLD and LDS occur at the same time, the data would not be properly loaded into R3. If LDS and PLD overlap, an internal reset is initiated causing the timing to return to the initial state shown in Figure B2.