

### 特長

- +5V単電源動作
- 伝搬遅延時間：7ns
- 低消費電力
- 分離された入出力部
- TTL/CMOSロジック対応出力
- 広い出力スイング
- TSSOP、SOIC、PDIPパッケージ

### アプリケーション

- 高速タイミング
- ライン・レシーバ
- データ通信
- 高速V/Fコンバータ
- バッテリー動作の計装機器
- 高速サンプリング・システム
- ウィンドウ・コンパレータ
- 読み込みチャンネル検知
- PCMCIAカード
- MAX901のアップグレード

### 概要

AD8564は、入出力段が分離されたクワッド、7nsのコンパレータで、CMOS/TTL対応出力を保ちながら、入力段は±5Vデュアル電源または+5V単電源で動作できます。

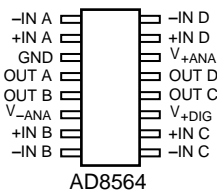
伝搬遅延時間が7nsという高速なので、AD8564はタイミング回路及びライン・レシーバに好適です。アナログとデジタルの電源が独立しているため、電源ピンの相互作用からの保護がきわめて高度に行えます。AD8564はMAX901とピン互換で、より低電源電流です。

4つのコンパレータすべてが、同じような伝搬遅延性能を備えています。立ち上がり/立ち下がり信号の伝搬遅延がよくマッチしており、温度と電圧のトラッキング特性も優れています。これらの特性のため、AD8564は、高速タイミング回路やデータ通信回路に適しています。ラッチ機能を備えたファミリ製品のデュアル・コンパレータについてはAD8598のデータシートを、シングル・コンパレータについてはAD8561のデータシートを参照してください。

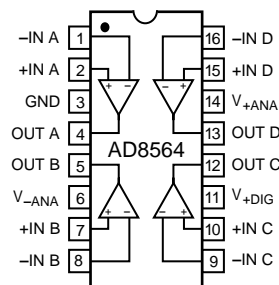
AD8564は工業温度範囲（-40～+85℃）で仕様規定されています。クワッドAD8564は、16ピンのプラスチックDIP、狭幅SO-16表面実装、16ピンのTSSOPパッケージが用意されています。

### ピン配置

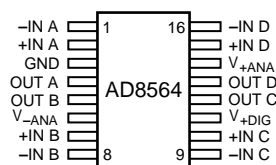
16ピン狭幅SO  
(末尾S) R-16A



16ピン・エポキシDIP  
(末尾P) N-16



16ピンTSSOP  
(末尾RU) RU-16



アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

# AD8564—仕様

電気的特性 (とくに指定のない限り、@ $V_{+ANA} = V_{+DIG} = +5.0V$ 、 $V_{-ANA} = 0V$ 、 $T_A = +25$  )

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	$V_{OS}$	$-40 \quad T_A \quad +85$		2.3	7	mV
オフセット電圧ドリフト	$V_{OS}/T$			4	8	$\mu V/$
入力バイアス電流	$I_B$	$V_{CM} = 0V$			$\pm 4$	$\mu A$
	$I_B$	$-40 \quad T_A \quad +85$			$\pm 9$	$\mu A$
入力オフセット電流	$I_{OS}$	$V_{CM} = 0V$			$\pm 3$	$\mu A$
入力同相モード電圧範囲	$V_{CM}$		0		+2.75	V
同相モード除去比	CMRR	$0V \quad V_{CM} \quad +3.0V$	65	85		dB
大信号電圧ゲイン	$A_{VO}$	$R_L = 10k$		3000		V/V
入力容量	$C_{IN}$			3.0		pF
デジタル出力						
ロジック“1”電圧	$V_{OH}$	$I_{OH} = -3.2mA$ 、 $V_{IN} > 250mV$	2.4	3.5		V
ロジック“0”電圧	$V_{OL}$	$I_{OL} = 3.2mA$ 、 $V_{IN} > 250mV$		0.3	0.4	V
ダイナミック性能						
伝搬遅延	$t_p$	100mVのオーバードライブで200mVステップ $-40 \quad T_A \quad +85$ <sup>1</sup>		6.75	9.8	ns
伝搬遅延	$t_p$	5mVのオーバードライブで100mVステップ <sup>1</sup>		8	13	ns
差動伝搬遅延						
(立ち上がり伝搬遅延対 立ち下がり伝搬遅延)	$t_p$	20mVのオーバードライブで100mVステップ <sup>1</sup>		0.5	2.0	ns
立ち上がり時間		20~80%		3.8		ns
立ち下がり時間		20~80%		1.5		ns
電源						
電源除去比	PSRR	+4.5V $V_{+ANA}$ 及び $V_{+DIG}$ +5.5V		80		dB
アナログ電源電流	$I_{+ANA}$	$-40 \quad T_A \quad +85$		10.5	14.0	mA
					15.6	mA
デジタル電源電流	$I_{DIG}$	$V_O = 0V$ 、 $R_L =$ $-40 \quad T_A \quad +85$		6.0	7.0	mA
					8.0	mA
アナログ電源電流	$I_{-ANA}$	$-40 \quad T_A \quad +85$		-7.0	14.0	mA
					15.6	mA

## 注意

1. 設計上の保証です。

仕様は、予告なく変更することがあります。

電気的特性 (とくに指定のない限り、@ $V_{+ANA} = V_{+DIG} = +5.0V$ 、 $V_{-ANA} = -5V$ 、 $T_A = +25$  )

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	$V_{OS}$	$-40 \quad T_A \quad +85$		2.3	7	mV
オフセット電圧ドリフト	$V_{OS}/T$			4	8	$\mu V/$
入力バイアス電流	$I_B$	$V_{CM} = 0V$			$\pm 4$	$\mu A$
	$I_B$	$-40 \quad T_A \quad +85$			$\pm 9$	$\mu A$
入力オフセット電流	$I_{OS}$	$V_{CM} = 0V$			$\pm 3$	$\mu A$
入力同相モード電圧範囲	$V_{CM}$		-4.9		+3.5	V
同相モード除去比	CMRR	$0V \quad V_{CM} \quad +3.0V$	65	85		dB
大信号電圧ゲイン	$A_{VO}$	$R_L = 10k$		3000		V/V
入力容量	$C_{IN}$			3.0		pF
デジタル出力						
ロジック“1”電圧	$V_{OH}$	$I_{OH} = -3.2mA$ 、 $V_{IN} > 250mV$	2.6	3.6		V
ロジック“0”電圧	$V_{OL}$	$I_{OL} = 3.2mA$ 、 $V_{IN} > 250mV$		0.2	0.3	V

パラメータ	記号	条件	Min	Typ	Max	単位
ダイナミック性能						
伝搬遅延	$t_p$	100mVのオーバードライブで200mVステップ -40 $T_A$ +85 <sup>1</sup>		6.75 8	9.8 13	ns ns
伝搬遅延 差動伝搬遅延	$t_p$	5mVのオーバードライブで100mVステップ <sup>1</sup>		8		ns
(立ち上がり伝搬遅延対 立ち下がり伝搬遅延)	$t_p$	20mVのオーバードライブで100mVステップ <sup>1</sup>		0.5 3	2.0	ns ns
立ち上がり時間		20 ~ 80%		3		ns
立ち下がり時間		20 ~ 80%		3		ns
電源						
電源除去比	PSRR	+4.5V $V_{+ANA}$ 及び $V_{+DIG}$ +5.5V	50	70		dB
アナログ電源電流	$I_{+ANA}$	-40 $T_A$ +85		10.8	14.0	mA
デジタル電源電流	$I_{DIG}$	$V_O = 0V$ , $R_L =$ -40 $T_A$ +85		3.9	4.4	mA
アナログ電源電流	$I_{-ANA}$	-40 $T_A$ +85		-8.2	14.0	mA
		-40 $T_A$ +85			15.6	mA

## 注意

1. 設計上の保証です。

仕様は、予告なく変更することがあります。

## 絶対最大定格\*

全アナログ電源電圧	+ 14V
デジタル電源電圧	+ 17V
正のアナログ電源 - 正のデジタル電源	- 600mV
入力電圧 <sup>1</sup>	± 7V
差動入力電圧	± 8V
GNDへの出力短絡時間	無制限
保管温度範囲	
N、R、RUパッケージ	- 65 ~ + 150
動作温度範囲	- 40 ~ + 85
接合温度範囲	
N、R、RUパッケージ	- 65 ~ + 150
ピン温度範囲 (ハンダ付け、10秒)	+ 300

パッケージ・タイプ	$J_A^2$	J_C	単位
16ピン・プラスチックDIP (N)	90	47	/W
16ピン狭幅SO (R)	113	37	/W
16ピンTSSOP (RU)	180	37	/W

## 注意

- アナログ入力電圧は、±7Vまたはアナログ電源電圧の、どちらか小さい方に等しくなります。
- $J_A$ は、最悪の条件に対する規定です。すなわち  $J_A$ は、P-DIPではデバイスをソケットに実装した状態、SOIC及びTSSOPパッケージではデバイスを回路板にハンダ付けした状態での規定です。

\*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8564AN	-40 ~ +85	16ピン・プラスチックDIP	N-16
AD8564AR	-40 ~ +85	16ピン狭幅SOIC	R-16A
AD8564ARU	-40 ~ +85	16ピンTSSOP	RU-16

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD8564

代表的な性能特性 (とくに指定のない限り、 $V_{+ANA} = V_{+DIG} = +5V$ 、 $V_{-ANA} = 0V$ 、 $T_A = +25$ )

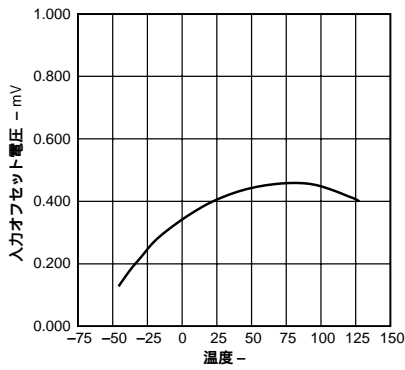


図1. 入力オフセット電圧対温度

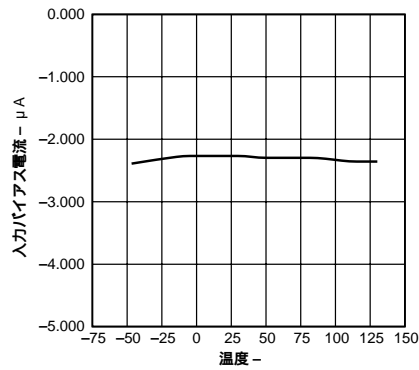


図2. 入力バイアス電流対温度

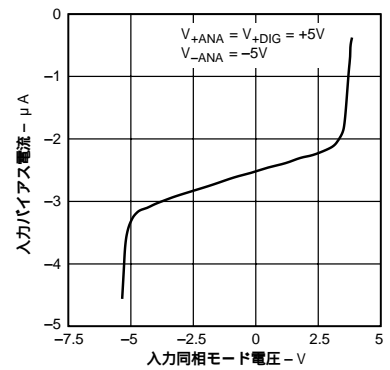


図3. 入力バイアス電流対  
入力同相モード電圧

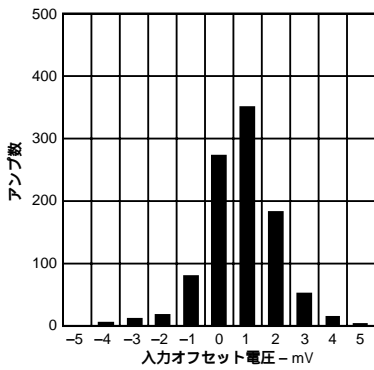


図4. 入力オフセット電圧

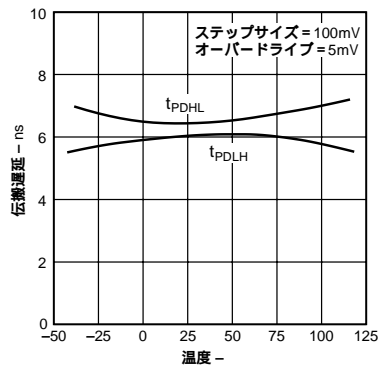


図5. 伝搬遅延、 $t_{PDHL}$  /  $t_{PDLH}$  対温度

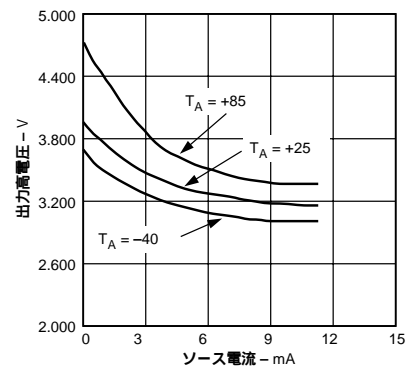


図6. 出力高電圧、 $V_{OH}$  対ソース電流

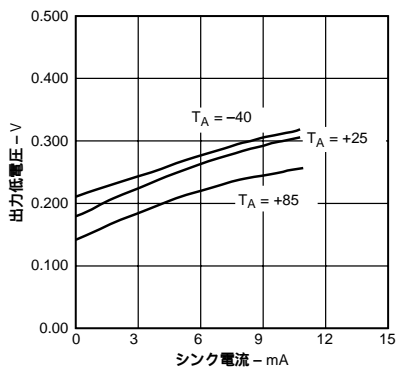


図7. 出力低電圧、 $V_{OL}$  対シンク電流

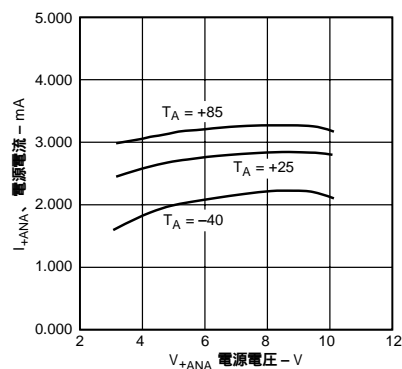


図8.  $I_{+ANA}$ : アナログ電源電流 /  
コンパレータ対電源電圧

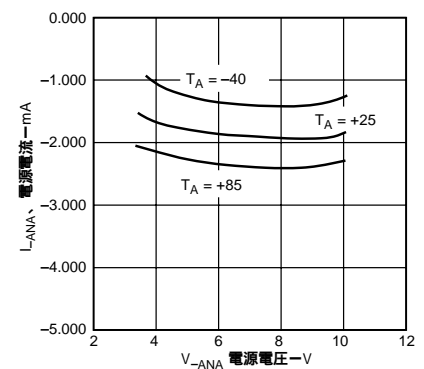


図9.  $I_{-ANA}$ : アナログ電源電流 /  
コンパレータ対電源電圧

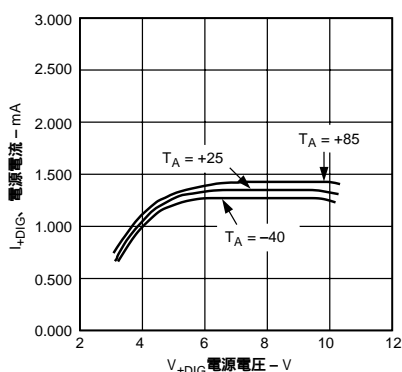


図10.  $I_{+DIG}$ : デジタル電源電流 / コンパレータ対電源電圧

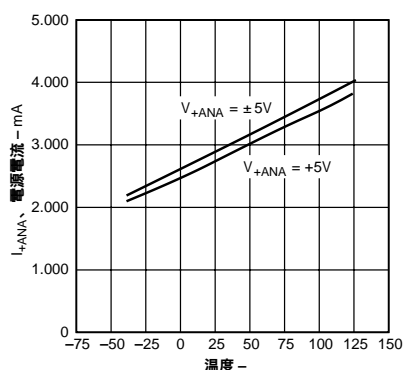


図11.  $I_{+ANA}$ : アナログ電源電流 / コンパレータ対温度

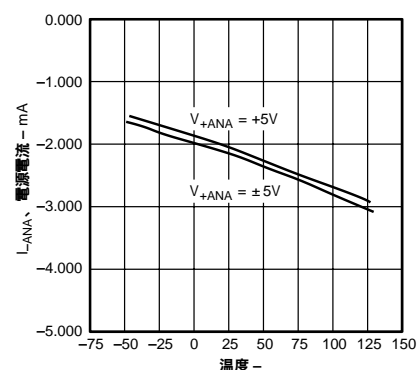


図12.  $I_{-ANA}$ : アナログ電源電流 / コンパレータ対温度

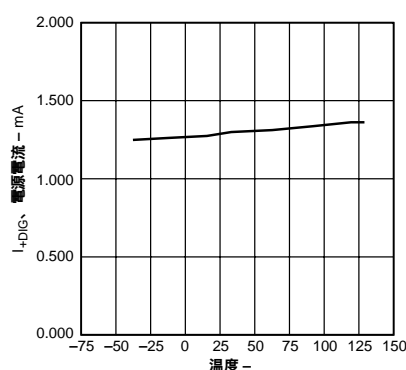


図13.  $I_{+DIG}$ : デジタル電源電流 / コンパレータ対温度

## アプリケーション

### 高速性能の最適化

他の高速コンパレータやアンプと同じく、AD8564の性能を最大限に引き出すには、適切な設計及びレイアウト技術が必要です。高速回路の性能の限界は浮遊容量、不適切な接地インピーダンス、その他レイアウトの問題に起因することがよくあります。

ソースから入力までの抵抗を最小にすることは、AD8564の高速動作を最大に発揮させるのに重要です。ソース抵抗を等価入力容量と組み合わせると入力に反応の遅れが起き、出力を遅らせます。AD8564の入力容量を入力ピンからグラウンドへの浮遊容量と組み合わせると、数ピコファラッドの等価容量が生じます。3k のソース抵抗と5pFの入力容量を組み合わせると15nsの時定数が得られますが、これは、AD8564の能力である5nsより遅くなります。最高の性能を得るには、ソース・インピーダンスは1k 未満にすべきです。

高速用途の電源では、バイパス・コンデンサを入れることも重要です。1  $\mu$ Fの電解バイパス・コンデンサを各電源ピンからグラウンドへ、0.5インチ以内に入れます。このコンデンサは、電源からの電圧リップルを低減します。さらに、10nFのセラミック・コンデンサを電源ピンからグラウンドへ、

できるだけ近く配置します。このコンデンサは、高周波切り換えに際して、デバイスのチャージタンクの役割をします。

適正な高速性能を得るには、グラウンド・プレーンをおすすめします。必要な電流路用の割れ目だけがある、連続した伝導性の平面を回路板の表面全体に載せます。グラウンド・プレーンは低誘導グラウンドであり、回路板全体で、「グラウンドはねかえり」による接地ポイントの電位差を排除できます。適切なグラウンド・プレーンは、回路板の浮遊容量の影響も最小にします。

### 出力負荷の問題

AD8564の出力は、伝搬遅延を増加させることなく、最大40mAの出力電流を供給できます。出力は、20以上のTTL入力ロジックゲートに接続したり、100 未満の負荷抵抗を駆動してはいけません。

AD8564の最高性能を確実に得るには、出力の容量負荷を最小にすることが重要です。50pF以上の容量負荷は出力波形のリングング現象を起こし、コンパレータの動作帯域幅を低下させます。100pF以上の負荷容量でも、伝搬遅延が増大します。

# AD8564

## 入力段とバイアス電流

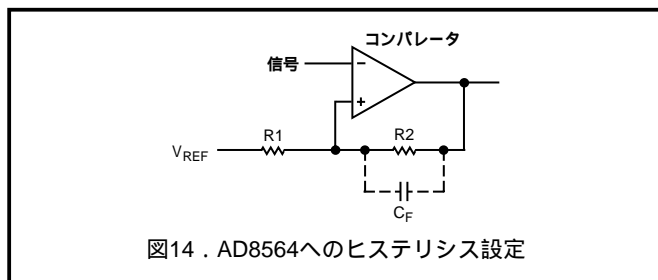
AD8564は、マイナス電源レールからプラス電源レールの2.2V以内まで、入力同相範囲を大きく拡張できるPNP差動入力段を使用しています。入力同相電圧は、2つの入力における電圧の平均となります。最速のレスポンス時間を得るため、入力同相電圧が、この電圧を越えないよう注意します。

AD8564の入力バイアス電流は4 $\mu$ Aです。すべてのPNP差動入力段と同じく、このバイアス電流は高い入力ではゼロになり、低い入力では倍になります。大きい抵抗は入力バイアス電流による顕著な電圧低下を生ずるため、入力に接続する抵抗値を選ぶ場合は注意を要します。

AD8564の入力容量は、通例3pFです。これは、入力にkソース抵抗を挿入して伝搬遅延の変化を測定することで測定します。

## ヒステリシスの使用

プラスのフィードバックを追加すると、簡単にコンパレータにヒステリシスを加えることができます。コンパレータにヒステリシスを加えると、入力信号がスイッチングしきい値付近にあって、出力が切り替わるのが望ましくない、ノイズが多い環境でメリットがあります。図14は、AD8564にヒステリシスを設定する方法を表します。



入力信号は、コンパレータの反転入力に直接接続します。出力は、R2とR1を経由して非反転入力にフィードバックされます。R1対R1+R2の比が、ウィンドウの中心または平均スイッチング電圧を設定する $V_{REF}$ により、ヒステリシス・ウィンドウの幅を決定します。入力電圧が $V_{HI}$ より高い場合、出力はハイに切り替わり、入力電圧が等式1に示す $V_{LO}$ 以下になるまで、再びローに変わることはありません。

$$V_{HI} = (V_+ - 1 - V_{REF}) \frac{R1}{R1+R2} + V_{REF} \quad (1)$$

$$V_{LO} = V_{REF} \left( 1 - \frac{R1}{R1+R2} \right)$$

ここで、 $V_+$ は、プラスの電源電圧です。

フィードバック・ネットワークに電極を導入するため、コンデンサ $C_F$ を追加することも可能です。高周波数でのヒステリシスの量を増やす効果があります。これは、高周波ノイズ環境で比較的遅い信号を比較するとき役に立ちます。

$f_P = \frac{1}{2 C_F R2}$  より大きい周波数では、ヒステリシス・ウィンドウは $V_{HI} = V_+ - 1V$ 及び $V_{LO} = 0V$ に近づきます。 $f_P$ より小さい周波数では、しきい値電圧は等式1のままとなります。

Spice Model

\* AD8564 SPICE Macro-Model Typical Values

\* 8/98, Ver. 1.0

\* TAM / ADSC

\*

\* Node assignments

*		noninverting input		inverting input		positive supply		negative supply		Output
.SUBCKT	AD8564	1	2	99	50	45				

\* INPUT STAGE

\*

\*

Q1	4	3	5	PIX
Q2	6	2	5	PIX
IBIAS	99	5	800E-6	
RC1	4	50	1k	
RC2	6	50	1k	
CL1	4	6	2.5E-12	
CIN	1	2	3E-12	
EOS	3	1	(4,6) 1E-3	

\* Reference Voltage

\*

EREF	98	0	POLY(2)	(99,0)	(50,0)	0 0.5 0.5
RDUM	98	0	100E3			
GSY	99	50	POLY(1)	(99,50)	8E-3	-2.6E-3

\* Gain Stage Av=250 fp=100MHz

\*

G1	98	20	(4,6)	0.25
R1	20	98	1E3	
C1	20	98	16E-13	
D1	20	21	DX	
D2	22	20	DX	
V1	99	21	DC 0.71	
V2	22	50	DC 0.71	

\* Output Stage

\*

Q3	99	41	46	NOX
Q4	47	42	50	NOX
RB1	43	41	200	
RB2	40	42	200	
CB1	99	41	10p	
CB2	42	50	5p	
RO1	46	45	2E3	
RO2	47	45	500	
EO1	98	43	POLY(1)	(20,98) 0 1
EO2	40	98	POLY(1)	(20,98) 0 1

\* MODELS

\*

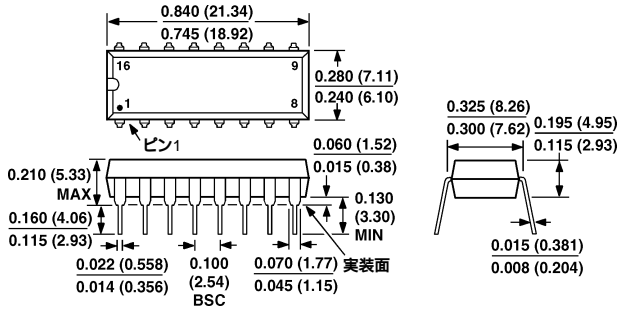
```
.MODEL PIX PNP(BF=100,VAF=130,IS=1E-14)
.MODEL NOX NPN(BF=100,VAF=130,IS=1E-14)
.MODEL DX D(IS=1E-14,CJO=1E-15)
.ENDS AD8564
```

# AD8564

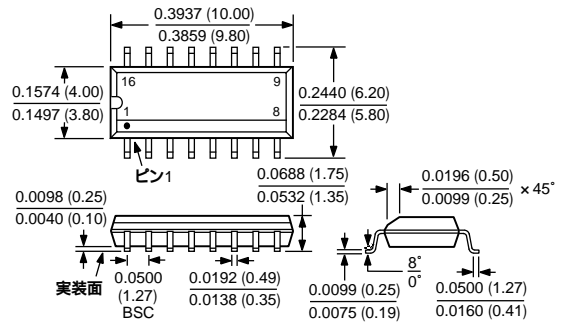
## 外形寸法

サイズはインチと (mm) で示します。

16ピン・エボキシDIP  
(N-16)



16本ピン狭幅SOIC  
(R-16A)



16ピンTSSOP  
(RU-16)

